

544,783

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004年8月19日 (19.08.2004)

PCT

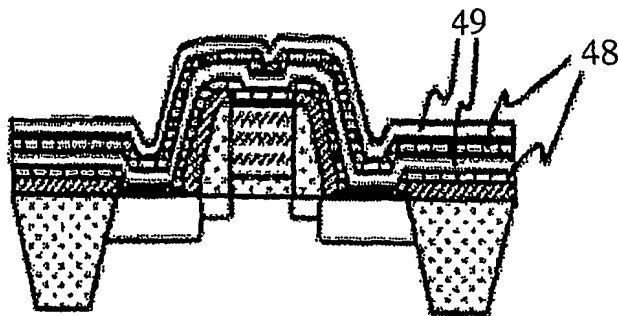
(10) 国際公開番号  
WO 2004/070804 A1

- (51) 国際特許分類: H01L 21/28 (74) 代理人: 浜田 治雄 (HAMADA, Haruo); 〒1070062 東京都港区南青山3丁目4番12号知恵の館 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2004/001315
- (22) 国際出願日: 2004年2月9日 (09.02.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2003-031110 2003年2月7日 (07.02.2003) JP  
特願2003-129878 2003年5月8日 (08.05.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 寺島 浩一 (TERASHIMA, Koichi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号日本電気株式会社内 Tokyo (JP).  
三浦 喜直 (MIURA, Yoshinao) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号日本電気株式会社内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告書

[続葉有]

(54) Title: METHOD FOR FORMING NICKEL SILICIDE FILM, METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, AND METHOD FOR ETCHING NICKEL SILICIDE

(54) 発明の名称: ニッケルシリサイド膜の形成方法、半導体装置の製造方法およびニッケルシリサイド膜のエッチング方法



nickel silicide film which is included in the above method for manufacturing a semiconductor device; and a method for etching a nickel silicide film. The above method allows the formation of a nickel silicide film of a low resistance having a satisfactory thickness with the minimum consumption of silicon atoms in a silicon substrate.

(57) Abstract: A method for manufacturing a semiconductor device, which comprises a laminate film forming step of laminating one or more nickel layers and one or more silicon layers alternately on a substrate having, on its surface, a semiconductor region and an insulating film region at a first substrate temperature not causing a silicide forming reaction, a silicide reaction step of subjecting the laminate film to a heat treatment at a second substrate temperature suitable for forming nickel monosilicide, and a step of removing a film having been formed on the insulating film region by wet etching, wherein in the laminate film forming step, the ratio of the number of nickel atoms to that of silicon atoms in the whole laminate film is set to be 1 or more; a method for forming a

(57) 要約: 基板シリコン中のシリコン原子の消費量をできるだけ少なくして、なおかつ十分な厚さをもった低抵抗のニッケルシリサイド膜の形成方法、半導体装置の製造方法およびニッケルシリサイド膜のエッチング方法を提供する。表面に半導体領域および絶縁膜領域を有する基板上に、シリサイド反応を起こさない第1の基板温度で少なくとも各1層よりなるニッケル層とシリコン層を交互に積層する積層膜形成工程と、その積層膜をニッケルモノシリサイドが生成する第2の基板温度で熱処理するシリサイド反応工程と、ウェットエッチングによって絶縁膜上に形成された膜を除去する工程とを含む半導体装置の製造方法であって、積層膜形成工程において、積層膜全体のシリコン原子数に対するニッケル原子数の比を1または1より大きくすることによって、上記課題を解決した。

WO 2004/070804 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明細書

ニッケルシリサイド膜の形成方法、半導体装置の製造方法およびニッケルシリサイド膜のエッチング方法

### 技術分野

本発明は、ニッケルシリサイド膜の形成方法、半導体装置の製造方法およびニッケルシリサイド膜のエッチング方法に関し、更に詳しくは、低抵抗率のニッケルモノシリサイドを厚く形成する方法、その方法を利用した半導体装置の製造方法、およびニッケルシリサイド膜のうちニッケルリッチなシリサイド膜を選択エッチングする方法に関する。

### 背景技術

本発明に関する現時点での技術水準をより十分に説明する目的で、本願で引用され或いは特定される特許、特許出願、特許公報、科学論文等の全てを、ここに、参照することでそれらの全ての説明を組入れる。

従来、シリコンのMOSトランジスタのソース・ドレイン領域およびゲート電極のコンタクト材料として、金属とシリコンの化合物である金属シリサイドが用いられている。その金属シリサイドのうち、特にチタンダイシリサイド ( $TiSi_2$ ) やコバルトダイシリサイド ( $CoSi_2$ ) は、抵抗率が低く、シリコンとのショットキー障壁も低いことが知られており、現在、様々なLSIにおいて広く用いられている。

さらに、近年、MOSトランジスタの微細化が進展して、ソース・ドレイン領域が薄膜化するのに伴い、ニッケルモノシリサイド ( $NiSi$ ) をコンタクト材料に使おうという動きが出ている。これは、基板のシリコン原子と上部に堆積した金属原子とを反応させて金属シリサイドを形成する際に、 $NiSi$  は、 $TiSi_2$  やC

o Si<sub>2</sub>よりも少ないシリコン原子で同じ膜厚の金属シリサイド膜を得ることができ、したがって、ジャンクションリーク特性を劣化させずに、シリサイド膜を低抵抗化することができるからである。さらには、NiSiには、TiSi<sub>2</sub>やCoSi<sub>2</sub>よりも低温で形成できるのでプロセスを低温化できるという利点もあり、これからのコンタクト材料として有望視されている。

図1A乃至図1Bは、金属シリサイドの従来一般的な形成方法に係る各工程におけるシリコン基板を示す部分縦断面図である。シリコン基板51には、イオン注入等によりドーパント濃度を高くした領域57が形成されている。この領域57は、MOSトランジスタのソース・ドレイン領域に相当する。金属シリサイドの形成として、先ず、図1Aに示すように、上記領域57が形成されたシリコン基板51にスパッタリング法や分子線エピタキシー法等を用いて、チタンまたはコバルト等の金属膜52を堆積する。次に、この基板を適当な温度でアニールして、金属膜52中の金属と基板51のシリコンとを反応させる。こうした形成方法により、図1Bに示す金属シリサイド膜55が形成される。次に、図1Cに示すように、金属シリサイド膜55をエッチングして、図1Dに示すように、金属シリサイド膜55が形成された領域57のみを残す。また、金属シリサイドを用いたMOSトランジスタは、従来より、シリサイドプロセスと呼ばれる工程によって製造されている。図2A乃至図2Dは、従来のシリサイドプロセスに係る各工程におけるMOSトランジスタを示す部分縦断面図である。まず、図2Aでは、シリコン基板151上に、通常のMOSトランジスタの製造プロセスによって、素子分離領域152、ゲート絶縁膜153、ゲート電極154、ゲートサイドウォール155、ソース・ドレイン領域156が形成されている。ここで、素子分離領域152およびゲートサイドウォール155はシリコン酸化膜またはシリコン窒化膜などの絶縁膜によって構成され、ゲート電極154には多結晶シリコンが用いられている。また、ソース・ドレイン領域156は、シリコン基板151にボロンや砒素などのドーパント不純物をイオン注入し、活性化アニールを行うことによって形成される。

次に、図2Bに示すように、この基板全面に、スパッタリング法などを用いてチ

タン、コバルト、ニッケル等の金属膜 157 が堆積される。

次に、この基板を適当な温度でアニールすることにより、堆積した金属膜 157 の金属とソース・ドレイン領域 156 およびゲート電極 154 のシリコンとを反応させて、図 2 C の金属シリサイド膜 158 を形成する。この時、金属原子は、ソース・ドレイン領域 156 およびゲート電極 154 の単結晶または多結晶のシリコンが露出している部分でのみ反応するので、素子分離領域 152 上およびゲートサイドウォール 155 上では、金属原子は未反応のまま金属膜 159 として残る。

そこで、硫酸と過酸化水素水の混合液などの適当なエッチング液を用いて、未反応の金属膜 159 を除去することにより、図 2 D に示すように、ソース・ドレイン領域 156 およびゲート電極 154 にのみ金属シリサイド膜 158 を形成することができる。

このように、従来の金属シリサイド膜の形成方法は、基板中あるいはゲート電極中のシリコン原子と上部に堆積した金属原子とを反応させている。

一方、近年、MOS トランジスタの性能を向上させるために、ソース・ドレイン領域はますます薄膜化する傾向にある。シリコン MOS トランジスタでは、形成された金属シリサイド膜がソース・ドレインの p n ジャンクションに近づくにつれてジャンクションリーク特性が悪化し、コンタクトがソース・ドレインを突き抜けた状態となってしまうと、トランジスタが正常動作しなくなってしまう。したがって、金属シリサイド膜は、図 1 B に示すように、ソース・ドレイン領域よりも浅くなっていなければならない。その金属シリサイド膜は、ソース・ドレイン領域のシリコン原子と金属原子とが反応して形成されるので、ソース・ドレイン領域の薄膜化に伴ってコンタクトの金属シリサイド膜も薄膜化している。しかしながら、金属シリサイド膜が薄膜化すると、金属シリサイド膜のシート抵抗が増大し、MOS トランジスタの性能が劣化してしまう。また、金属シリサイド膜を厚くしようとすると、形成された金属シリサイド膜がソース・ドレイン領域の p n ジャンクションに接近してリーク電流が増加し、トランジスタ特性が大きく劣化してしまう。

形成された金属シリサイドの膜厚  $a$  と、シリサイド反応で消費されたシリコンの膜厚  $b$  との比  $b/a$  は、シリコンの消費ファクターと呼ばれている。この消費ファクターの値は金属によって異なり、 $NiSi$  はこの消費ファクターが小さいためにソース・ドレイン領域の薄膜化に有利であるが、基板中のシリコン原子を消費することによって変わりはないので、薄膜化には限界がある。そこで、トランジスタの更なる微細化を進めるとともに、基板のシリコン原子の消費量をなるべく少なくして、金属シリサイド膜を形成する別の方法が必要となる。

そうした金属シリサイドの形成方法のひとつとして、 $Si$  基板上に  $Ni$  と  $Si$  を交互に積層した後に熱処理することによりニッケルダイシリサイド ( $NiSi_2$ ) をエピタキシャル成長させる方法が特開昭 61-212017 号公報に開示されている。また、 $Si$  上に  $Ni$  を積層してから熱処理することにより  $Ni_2Si$  を形成し、その後に多結晶シリコン膜を堆積して再び熱処理を行なうことにより、 $NiSi$  を形成する方法が特開平 8-97420 号公報に開示されている。また、 $Ni$  と  $Si$  を同時に堆積することにより  $NiSi$  を形成する方法が米国特許第 4663191 号に開示されている。

上記従来例のような金属膜中の金属と基板のシリコンとを反応させる金属シリサイドの形成方法では、たとえ消費ファクターの小さいニッケルシリサイドを用いても、ソース・ドレイン領域が薄膜化した場合に、十分な厚さのニッケルシリサイド膜を得ることが困難であり、シリコン基板中のシリコン原子を多く消費してしまう。このため、シリコン基板中のシリコン原子の消費量の少ないニッケルシリサイドの形成方法が求められている。

しかしながら、特開昭 61-212017 号公報に開示された方法では、ニッケルモノシリサイド ( $NiSi$ ) ではなく、ニッケルダイシリサイド ( $NiSi_2$ ) を主成分とするシリサイドができてしまうが、この  $NiSi_2$  は抵抗率が高いために、コンタクト材料としては不適當である。また、特開平 8-97420 号公報に開示された方法では、まず初めにニッケルと基板シリコンとを反応させて  $Ni_2S$

i を形成するので、この時に相当量の基板シリコンが消費されてしまい、NiSi の膜厚を厚くすることには限界がある。また、サリサイドプロセスとするために、工程が非常に複雑となっている。さらに、米国特許第4663191号に開示された方法はサリサイドプロセスが可能であるが、ニッケルとシリコンを同時に堆積するために、Ni と Si の組成比を制御しにくいと共に、最終的に形成されるのは高抵抗のNiSi<sub>2</sub>であり、コンタクト材料としては不適當である。

以上のように、シリコン基板中のシリコン原子の消費量を少なくして、十分な厚さを持つ低抵抗のニッケルシリサイド膜を形成することができるサリサイドプロセスの実現は、これまで困難であった。

#### 発明の開示

本発明は、上記課題を解決するためになされたものである。

従って、本発明の第1の目的は、シリコン基板中のシリコン原子の消費量をできるだけ少なくすることができると共に十分な厚さをもった低抵抗のニッケルシリサイド膜の形成方法を提供することにある。

また、本発明の第2の目的は、そのニッケルシリサイド膜の形成方法を利用した半導体薄膜の製造方法を提供することにある。

また、本発明の第3の目的は、ニッケルシリサイド膜のエッチング特性がNi と Si の組成比により異なることに着目したニッケルシリサイド膜のエッチング方法を提供することにある。

上記第1の目的を達成するための本発明の第一の側面によれば、ニッケルシリサイド膜の形成方法は、基板上にシリサイド反応を起こさない第1の基板温度で少なくとも1層のニッケル層と少なくとも1層のアモルファス状態のシリコン層とを交互に積層することで積層膜を形成する工程と、ニッケルモノシリサイド反応を起す第2の基板温度で前記積層膜を熱処理することでニッケルモノシリサイドを生成するシリサイド反応工程とを含むニッケルシリサイド膜の形成方法であって、前記積

層膜形成工程において、前記積層膜全体に存在するシリコン原子総数 ( $N_{Si}$ ) に対するニッケル原子総数 ( $N_{Ni}$ ) の比 ( $N_{Ni}/N_{Si}$ ) が1以上であるニッケルシリサイド膜の形成方法を提供する。

本発明の第一の側面においては、シリサイド反応を起こさない基板温度で各1層以上のニッケル層とシリコン層を交互に積層したので、積層されたシリコン層はアモルファス状態となっている。ニッケル原子は、単結晶シリコン層や多結晶シリコン層よりもアモルファスシリコン層の方に優先的に拡散し易い。そのため、その後のシリサイド反応工程において、アモルファスシリコン層中のシリコンに優先的にニッケル原子が拡散してニッケルシリサイド膜が形成される。また、シリサイド反応工程がニッケルモノシリサイドを生成する温度で行われるので、抵抗率の高いニッケルダイシリサイドの形成が抑制され、抵抗率の低いニッケルモノシリサイドが安定して形成される。また、積層膜全体のシリコン原子数 ( $N_{Si}$ ) に対するニッケル原子数 ( $N_{Ni}$ ) の比 ( $N_{Ni}/N_{Si}$ ) が1以上であるので、ニッケルが優先的に拡散するアモルファスシリコン層中に、ニッケルダイシリサイドを形成するために必要となる余分のシリコン原子がないので、抵抗率の低いニッケルモノシリサイドが安定して形成される。また、ニッケル層とシリコン層の少なくとも各1層以上を交互に積層するので、各厚さと積層回数を調整することにより、シリサイド反応で消費されるシリコン原子の消費量を少なくすることができると共に低抵抗率のニッケルモノシリサイドを十分な厚さで形成することができる。

また、前記積層膜形成工程において、各シリコン層のシリコン原子数に対する各ニッケル層のニッケル原子数の比が、積層膜全体に存在するシリコン原子総数に対するニッケル原子総数の比と等しくなるように積層させることが好ましい。この発明によれば、交互に積層する各シリコン層のシリコン原子数に対する各ニッケル層のニッケル原子数の比と、積層膜全体に存在するシリコン原子総数に対するニッケル原子総数の比とを同じにしたので、シリサイド反応におけるニッケルの拡散が積層膜全体に亘り均一に行われて均質なニッケルモノシリサイドが生成する。その結



果、抵抗率の低いニッケルモノシリサイドを安定して形成することができる。

また、前記積層膜形成工程において、積層膜全体に存在するシリコン原子総数 ( $N_{Si}$ ) に対するニッケル原子総数 ( $N_{Ni}$ ) の比 ( $N_{Ni}/N_{Si}$ ) が1よりも大きく、4以下であることが好ましい。この発明によれば、従来に比べて基板中のシリコン原子の消費が抑制されたニッケルシリサイド膜を形成することができる。

また、ニッケルモノシリサイドが、前記ニッケルシリサイド膜中に50%以上存在していることが好ましい。この発明によれば、形成されたニッケルシリサイド膜をMOSトランジスタのコンタクトとして好適に使用することができる。

また、前記基板の最表面に、単結晶シリコン、多結晶シリコン、歪みのかかったシリコン、単結晶シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウムおよび歪みのかかったシリコン・ゲルマニウムから選択される1または2以上の半導体領域が含まれる場合にも前述の本発明を適用することが可能である。

この発明によれば、ニッケルとシリコンを反応させてニッケルシリサイド膜を形成するので、ニッケルシリサイド膜が形成される基板の表面がシリコン以外の物質、例えば単結晶シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウム、歪みのかかったシリコン・ゲルマニウム等のシリコン・ゲルマニウム混晶の場合にも本発明は適用可能である。シリコン・ゲルマニウム混晶にニッケルを堆積して熱処理した場合には、ニッケルジャーマノシリサイド  $Ni(Si_{1-x}Ge_x)$  ができるが、この  $Ni(Si_{1-x}Ge_x)$  は  $NiSi$  よりも抵抗率が高い。したがって、本発明によれば、シリコン・ゲルマニウム混晶とニッケルを反応させた場合よりも低い抵抗率の膜が得られるという効果もあり、MOSトランジスタにおいてシリコン・ゲルマニウム混晶をソース・ドレイン領域に用いたり、ゲート電極を多結晶シリコン・ゲルマニウムで形成したりする場合にも、トランジスタ特性を向上させることができる。

また、前記基板が、シリコン基板、SOI基板およびSGOI基板から選ばれる1の基板であってもよい。この発明によれば、シリコン基板の他、シリコン オン

インシュレータ（SOI）基板およびシリコン・ゲルマニウム オン インシュレータ（SGOI）基板に適用することにより、ニッケルシリサイド膜が埋め込み酸化膜層まで達してMOSトランジスタの特性が劣化するという現象を防ぐことができるという効果もある。

上記第2の目的を達成するための本発明の第二の側面によれば、基板上の少なくとも1つの半導体領域上および少なくとも1つの絶縁体領域上に亘り、シリサイド反応を起こさない第1の基板温度で少なくとも1層のニッケル層と少なくとも1層のアモルファス状態のシリコン層とを交互に積層することで積層膜を形成する工程と、ニッケルモノシリサイド反応を起す第2の基板温度で前記積層膜を熱処理することで、ニッケルモノシリサイドを含み且つ半導体領域上と絶縁体領域上とで組成が異なるニッケルシリサイド膜を形成するシリサイド反応工程と、前記ニッケルシリサイド膜の前記少なくとも1つの絶縁体領域上に位置する部分をエッチングにより除去するエッチング工程とを含む半導体装置の製造方法であって、前記積層膜形成工程において、前記積層膜全体に存在するシリコン原子総数（ $N_{Si}$ ）に対するニッケル原子総数（ $N_{Ni}$ ）の比（ $N_{Ni}/N_{Si}$ ）が1以上である半導体装置の製造方法を提供する。

この本発明の第二の側面は、本発明の第一の側面に係る上述したニッケルシリサイド膜の形成方法を利用した半導体装置の製造方法であり、その作用効果については前述した通りである。この本発明の第二の側面によれば、特に、積層膜全体に存在するシリコン原子総数（ $N_{Si}$ ）に対するニッケル原子総数（ $N_{Ni}$ ）の比（ $N_{Ni}/N_{Si}$ ）が1以上である。シリコンが露出している半導体領域の典型例は、ソース・ドレイン領域およびゲート電極を含むが必ずしもこれらに限定されない。絶縁体領域の典型例は、酸化シリコン領域や窒化シリコン領域を含むが必ずしもこれらに限定されない。半導体領域においては、シリサイド反応時に積層膜中の余分のニッケル原子が半導体領域中に拡散するので、積層膜と半導体領域との境界面にはニッケルモノシリサイドが形成される。一方、絶縁体領域においては、シリサイ

ド反応時に積層膜中の余分のニッケル原子が拡散し難いので、積層膜と絶縁体領域との境界面にはニッケルリッチなニッケルシリサイドが形成される。半導体領域上及び絶縁体領域上に一様に成膜した積層膜をシリサイド反応させる際に、積層膜の下地の種類によりシリサイド反応後のニッケルシリサイドの組成が上記のように変化する。特にニッケルリッチなニッケルシリサイドが容易にエッチングされ、一方、ニッケルモノシリサイドはエッチングされ難い。本発明者はこのことを見出して本発明に到達した。したがって、本発明によれば、一様に成膜した積層膜をシリサイド反応させた後にエッチングすることにより、絶縁体領域上のニッケルシリサイド膜はその組成がニッケルリッチになって選択的にエッチングされる。その結果、ニッケルモノシリサイド膜を有する半導体装置の製造の効率化を図ることができる。

本発明の半導体装置の製造方法において、前記シリサイド反応工程後における半導体領域上のニッケルシリサイドがニッケルモノシリサイドであり、前記シリサイド反応工程後における絶縁体領域上のニッケルシリサイドがニッケルリッチのニッケルシリサイドであることが望ましい。

この発明によれば、一様に成膜した積層膜をシリサイド反応させ、その後に絶縁膜上のニッケルシリサイド膜だけを選択的にエッチングすることができる。

また、本発明の半導体装置の製造方法において、前記半導体領域が、単結晶シリコン、多結晶シリコン、歪みのかかったシリコン、単結晶シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウムおよび歪みのかかったシリコン・ゲルマニウムから選択される1または2以上の半導体を含むことが好ましく、また、前記絶縁膜領域が、酸化シリコンおよび窒化シリコンの一方又は両方であることが好ましく、また、前記基板が、シリコン基板、SOI基板およびSGOI基板から選ばれる1の基板であることが好ましい。

この発明によれば、例えば、ソース・ドレイン層が単結晶シリコンであり、ゲート電極が多結晶シリコンであり、ゲートサイドウォールと素子分離領域がシリコン酸化膜またはシリコン窒化膜で構成される通常のMOSトランジスタのコンタクト

形成に適用することができる。また、シリコン基板の他、SOI基板およびSGOI基板に適用することにより、ニッケルシリサイド膜が埋め込み酸化膜層まで達してMOSトランジスタの特性が劣化するという現象を防ぐことができるという効果もある。

上記第3の目的を達成するための本発明の第三の側面によれば、基板上の少なくとも1つの半導体領域上および少なくとも1つの絶縁体領域上に亘り形成され且つ前記半導体領域上と前記絶縁体領域上とで組成が異なるニッケルシリサイド膜のうち、前記絶縁体領域上に位置するニッケルリッチ領域をエッチングするエッチング方法であって、前記ニッケルリッチ領域は、シリコン原子数( $N_{Si}$ )に対するニッケル原子数( $N_{Ni}$ )の比( $N_{Ni}/N_{Si}$ )が1.11より大きいエッチング方法を提供する。

また、上記第3の目的を達成するための本発明の第四の側面によれば、基板上の少なくとも1つの半導体領域上および少なくとも1つの絶縁体領域上に亘り形成され且つ前記半導体領域上と前記絶縁体領域上とで組成が異なるニッケルシリサイド膜のうち、前記絶縁体領域上に位置するニッケルリッチ領域をエッチングするエッチング方法であって、前記ニッケルリッチ領域は、そのX線回折パターンが $Ni_2Si$ の回折ピークを有するエッチング方法を提供する。

上記第1の目的を達成するための本発明の第五の側面によれば、基板上の少なくとも1つの半導体領域上および少なくとも1つの絶縁体領域上に亘り、シリコンとニッケルとを含む層構造体を形成する工程と、シリサイド反応を起す第2の基板温度で前記層構造体を熱処理することで、前記絶縁体領域上でニッケルリッチな組成となるよう前記半導体領域上と前記絶縁体領域上とで組成が異なるニッケルシリサイド膜を形成するシリサイド反応工程とを含むニッケルシリサイド膜の形成方法であって、前記ニッケルシリサイド膜のうち前記絶縁体領域上に位置するニッケルリッチ領域は、シリコン原子数( $N_{Si}$ )に対するニッケル原子数( $N_{Ni}$ )の比( $N_{Ni}/N_{Si}$ )が1.11より大きいニッケルシリサイド膜の形成方法を提供す

る。

上記第1の目的を達成するための本発明の第六の側面によれば、基板上の少なくとも1つの半導体領域上および少なくとも1つの絶縁体領域上に亘り、シリコンとニッケルとを含む層構造体を形成する工程と、シリサイド反応を起す第2の基板温度で前記層構造体を熱処理することで、前記絶縁体領域上でニッケルリッチな組成となるよう前記半導体領域上と前記絶縁体領域上とで組成が異なるニッケルシリサイド膜を形成するシリサイド反応工程とを含むニッケルシリサイド膜の形成方法であって、前記ニッケルシリサイド膜のうち前記絶縁体領域上に位置するニッケルリッチ領域は、そのX線回折パターンが $\text{Ni}_2\text{Si}$ の回折ピークを有するニッケルシリサイド膜の形成方法を提供する。

これら本発明の第三乃至第六の側面によれば、①シリコン原子数( $N_{\text{Si}}$ )に対するニッケル原子数( $N_{\text{Ni}}$ )の比( $N_{\text{Ni}}/N_{\text{Si}}$ )が1.1より大きい場合、または②そのX線回折パターンが $\text{Ni}_2\text{Si}$ の回折ピークを有する場合において、ニッケルリッチなニッケルシリサイドとなっている。本発明者らは、ニッケルリッチなニッケルシリサイドが容易にエッチングされ且つニッケルモノシリサイドがエッチングされ難いことを見出して本発明に到達した。したがって、本発明によれば、ニッケルシリサイド膜において、絶縁体領域上に位置するニッケルリッチな領域だけを選択的にエッチングすることができるので、効率的なエッチングプロセスを実現することができる。

上記本発明の第三乃至第六の側面において、前記半導体領域上に位置するニッケルシリサイド膜の領域はニッケルモノシリサイドからなり、前記絶縁体領域上に位置するニッケルシリサイド膜の領域はニッケルリッチなニッケルシリサイドからなる。

また、上記本発明の第三乃至第六の側面において、前記半導体領域が、単結晶シリコン、多結晶シリコン、歪みのかかったシリコン、単結晶シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウムおよび歪みのかかったシリコン・ゲルマニウム

から選択される 1 または 2 以上の半導体を含むことが好ましく、前記絶縁膜領域が、酸化シリコンおよび窒化シリコンの一方又は両方であることが好ましい。

上記本発明の第三乃至第六の側面によれば、各種のシリコン半導体上にのみニッケルモノシリサイド膜を選択的に形成することができる。また、例えば、歪のかかったシリコンまたは歪のかかったシリコン・ゲルマニウムにより構成される歪チャネルMOSトランジスタにも適用することができ、それらの半導体上にのみシリサイドコンタクト層を効率的に形成することができる。その結果、チャネル部分の歪の緩和を抑制して、歪チャネルMOSトランジスタの性能劣化を防ぐとともに、歪チャネルMOSトランジスタの本来の特性を十分に引き出すことができるという効果もある。

また、上記本発明の第三乃至第六の側面において、前記ニッケルシリサイド膜が、ニッケルとシリコンとを積層させた後にシリサイド反応させたニッケルシリサイド膜、またはニッケルとシリコンとを共析した後にシリサイド反応させたニッケルシリサイド膜であることが好ましい。

この発明によれば、選択エッチングされるニッケルシリサイド膜は、多層積層した後にシリサイド反応させたものであっても、共析後にシリサイド反応させたものであってもよい。本発明のエッチング方法は、いずれの場合であっても、ニッケルリッチなニッケルシリサイド膜のみを選択してエッチングすることができる。

また、前記基板が、シリコン基板、SOI基板およびSGOI基板から選ばれる 1 の基板であることが好ましい。

#### 図面の簡単な説明

図 1 A 乃至図 1 B は、金属シリサイドの従来の一般的な形成方法に係る各工程におけるシリコン基板を示す部分縦断面図である。

図 2 A 乃至図 2 D は、従来のシリサイドプロセスに係る各工程における MOS トランジスタを示す部分縦断面図である。

図3 A乃至図3 Bは、本発明の第1実施の形態において、シリコン基板上にニッケルモノシリサイドを主成分とするニッケルシリサイド膜を形成する方法に関する各工程における基板を示す部分縦断面図である。

図4 A及び図4 Bは、本発明の第2実施の形態において、シリコン基板上にニッケルモノシリサイドを主成分とするニッケルシリサイド膜を形成する方法に関する各工程における基板を示す部分縦断面図である。

図5 A乃至図5 Eは、本発明の第3実施の形態において、ニッケルシリサイド膜をMOSトランジスタのソース・ドレインおよびゲート電極とのコンタクトに適用した際のニッケルシリサイド膜形成する方法に関する各工程を示す部分縦断面図である。

図6は、Si上とSiO<sub>2</sub>上に形成されたニッケルシリサイド膜のX線回折パターンの一例を示すグラフである。

図7は、SiO<sub>2</sub>上にNi<sub>2</sub>Si膜が形成されたエッチング前の断面TEM写真である。

図8は、SiO<sub>2</sub>上のNi<sub>2</sub>Si膜がエッチングされた後の断面TEM写真である。

図9 A乃至9 Dは、本発明の第4実施形態に係るシリコン基板上のMOSトランジスタのソース・ドレイン領域とゲート電極にニッケルモノシリサイドを主成分とするニッケルシリサイド膜を自己整合的に形成する方法の一例に係る各工程を示す部分縦断面図である。

図10は、図9 Bに示すMOSトランジスタの部分拡大縦断面図である。

図11 A乃至11 Bは、本発明の第5実施形態に係るシリコン基板上のMOSトランジスタのソース・ドレイン領域とゲート電極にニッケルモノシリサイドを主成分とするニッケルシリサイド膜を自己整合的に形成する方法の一例に係る各工程を示す部分縦断面図である。

図12は、本発明の第6の実施の形態において、上記第4および第5の実施形態

と同様の方法によってニッケルモノシリサイド膜を形成したSOI基板上のMOSトランジスタを示す部分縦断面図である。

図13は、本発明の第7の実施の形態において、上記第4乃至第6の実施形態と同様の方法により、歪のかかったシリコン層に形成されたMOSトランジスタを示す部分縦断面図である。

図14A乃至図14Dは、本発明の第8実施形態に係るシリコン基板上のMOSトランジスタのソース・ドレイン領域とメタルゲート電極にニッケルモノシリサイドを主成分とするニッケルシリサイド膜を自己整合的に形成する方法の一例に係る各工程を示す部分縦断面図である。

#### 発明を実施するための最良の形態

本発明の実施の形態を図面を参照して詳細に説明する。

##### (ニッケルシリサイド膜の形成方法)

本発明のニッケルシリサイド膜の形成方法によれば、基板上にシリサイド反応を起こさない第1の基板温度で少なくとも1層のニッケル層と少なくとも1層のアモルファス状態のシリコン層とを交互に積層することで積層膜を形成する工程と、ニッケルモノシリサイド反応を起す第2の基板温度で前記積層膜を熱処理することでニッケルモノシリサイドを生成するシリサイド反応工程とを含むニッケルシリサイド膜の形成方法であって、前記積層膜形成工程において、前記積層膜全体に存在するシリコン原子総数( $N_{Si}$ )に対するニッケル原子総数( $N_{Ni}$ )の比( $N_{Ni}/N_{Si}$ )が1以上であることが重要である。

#### <第1実施形態>

本願の第1実施形態であるニッケルシリサイド膜の形成方法について説明する。

図3A乃至図3Bは、本発明の第1実施の形態において、シリコン基板上にニッケルモノシリサイドを主成分とするニッケルシリサイド膜を形成する方法に関する各



工程における基板を示す部分縦断面図である。

本発明においてニッケルシリサイド膜 15 とは、ニッケルモノシリサイドを主成分とするニッケルシリサイド膜のことである。なお、主成分以外の成分の例としては、シリサイド反応しないで膜中に存在するニッケル原子やシリコン原子、ニッケルダイシリサイド等が挙げられる。特に、ニッケルモノシリサイドが、ニッケルシリサイド膜中に 50% 以上存在していることが好ましく、80% 以上存在していることがより好ましく、90% 以上存在していることが最も好ましい。ニッケルモノシリサイドの割合の高いニッケルシリサイド膜ほど、MOS トランジスタのコンタクトとして好ましく使用することができる。本願において、「主成分」は、ニッケルモノシリサイドが 50% 以上の割合で存在していることを意味する用語として用いる。

シリコン基板 11 については、単結晶シリコンでも多結晶シリコンでも特に限定されないが、その面方位としては、(111) 面以外の面、例えば (100) 面または (100) の微傾斜面などの面を主面とすることが望ましい。その理由は、(111) 面を主面とした場合には、ニッケルダイシリサイドがエピタキシャル成長し易くなるという難点があるからである。

シリコン基板 11 の表面には、イオン注入と活性化熱処理により、ドーパント濃度の高い層が形成されていても構わない。また、基板の最表面に、歪みのかかったシリコン、単結晶シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウムおよび歪みのかかったシリコン・ゲルマニウムから選択される 1 または 2 以上の半導体領域が含まれていてもよい。

本発明のニッケルシリサイド膜の形成方法は、先ず、シリコン基板 11 上にニッケル層 12 とシリコン層 13 を交互に積層する。図 3A においては、シリコン基板 11 に近い方から、ニッケル層 12、シリコン層 13、ニッケル層 12、…、の順でそれぞれ 3 層ずつ積層している。ニッケル層 12 とシリコン層 13 は、それぞれ、ニッケル原子とシリコン原子をスパッタリング法や分子線エピタキシー法等の任意

の方法で堆積させることにより形成される。

ニッケル層 1 2 とシリコン層 1 3 を積層するときのシリコン基板 1 1 の温度である第 1 の基板温度は、積層したニッケル層 1 2 およびシリコン層 1 3 がシリサイド反応を起こさない温度に設定される。第 1 の基板温度に設定された基板上にニッケル層 1 2 とシリコン層 1 3 が交互に積層されるので、ニッケル原子とシリコン原子との間でシリサイド反応は起こっておらず、さらに、シリコン層 1 3 をアモルファスシリコンの状態で成膜することができる。第 1 の基板温度は、使用する成膜装置の種類やニッケル層とシリコン層の厚さなどの積層条件によっても適宜修正されるが、その温度範囲としては、通常 20℃程度の室温乃至 200℃の範囲であることが好ましく、50℃～100℃であることがより好ましい。なお、温度範囲の下限温度は、主に、基板表面に雰囲気中からの不純物が吸着するのを防ぐという観点から設定される。

本発明においては、積層膜全体のシリコン原子数 ( $N_{Si}$ ) に対するニッケル原子数 ( $N_{Ni}$ ) の比 ( $N_{Ni}/N_{Si}$ ) が 1 以上となるように、ニッケル層 1 2 とシリコン層 1 3 の膜厚が設定される。すなわち、ニッケル層 1 2 とシリコン層 1 3 の膜厚は、積層膜全体に存在するニッケルの原子の総数とシリコンの原子の総数との比 ( $N_{Ni} : N_{Si}$ ) が 1 : 1 もしくは 1 : 1 よりもニッケルの方が多くなるように設定される。例えば、ニッケルとシリコンの原子量と比重から計算すると、積層膜に含まれる全ニッケル層の総厚に対する積層膜に含まれる全シリコン層の総厚の比の値が 1.79 のときにちょうど積層膜全体に存在するニッケル原子の総数 ( $N_{Ni}$ ) とシリコン原子の総数 ( $N_{Si}$ ) との比 ( $N_{Ni} : N_{Si}$ ) が 1 : 1 となる。よって、積層膜全体に存在するシリコン原子の総数 ( $N_{Si}$ ) に対するニッケル原子の総数 ( $N_{Ni}$ ) の比率 ( $N_{Ni}/N_{Si}$ ) が 1 以上となるようにするには、積層膜に含まれる全ニッケル層の総厚に対する積層膜に含まれる全シリコン層の総厚の比の値を 1.79 以下とするように調整すればよい。

ニッケル原子の総数とシリコン原子の総数との比 ( $N_{Ni} : N_{Si}$ ) が 1 : 1 に

調整された積層膜は、後述するシリサイド反応工程により、積層したニッケル層中のニッケル原子とシリコン層中のシリコン原子とが殆ど全部反応して、均一で結晶性のよいニッケルモノシリサイドを主成分とするニッケルシリサイド膜が形成される。

また、ニッケル原子の総数とシリコン原子の総数との比 ( $N_{Ni} : N_{Si}$ ) が 1 : 1 よりもニッケルの方が多くなるように調整された積層膜は、シリコン層中のシリコン原子と反応しない余剰ニッケル原子が存在するので、その余剰ニッケル原子が基板中に拡散して基板中のシリコンと反応することになる。しかし、基板中のシリコンと反応する余剰ニッケル原子は、積層したシリコン層 13 と反応しなかったニッケル原子であり、その量はわずかであるので、均一で結晶性のよいニッケルモノシリサイドを主成分とするニッケルシリサイド膜が形成される。交互に積層するニッケル層 12 とシリコン層 13 の積層数と各厚さを変えることにより、形成されるニッケルシリサイド膜の厚さも変えることができる。なお、積層したシリコン層 13 中のシリコン原子の数がニッケル層 12 中のニッケル原子の数よりも多い場合には、余剰シリコン原子が未反応のまま残ったり、高抵抗のニッケルダイシリサイドができたりして、得られたニッケルシリサイド膜は不均一で結晶性が悪く、抵抗率も高いものとなってしまう。

また、積層膜全体に存在するシリコン原子の総数 ( $N_{Si}$ ) に対するニッケル原子の総数 ( $N_{Ni}$ ) の比率 ( $N_{Ni} / N_{Si}$ ) をあまり多くしてしまうと、積層したシリコン層のシリコン原子と反応しない余分なニッケル原子が基板中に拡散してシリコンと反応することになるので、基板中のシリコンの消費量をできるだけ少なくするという本発明の目的のためには、積層膜全体に存在するシリコン原子の総数 ( $N_{Si}$ ) に対するニッケル原子の総数 ( $N_{Ni}$ ) の比率 ( $N_{Ni} / N_{Si}$ ) をあまり多くしないことが望ましい。

積層膜全体に存在するシリコン原子の総数 ( $N_{Si}$ ) に対するニッケル原子の総数 ( $N_{Ni}$ ) の比率 ( $N_{Ni} / N_{Si}$ ) の好ましい範囲として、例えば、シリコン

基板上に厚さ10 nmのニッケルシリサイド膜を形成する場合を考える。ニッケルモノシリサイドを主成分とするニッケルシリサイド膜の消費ファクター、すなわち、形成されたニッケルシリサイド膜の膜厚 $a$ とシリサイド反応で消費されるシリコンの膜厚 $b$ との比( $b/a$ )は約0.82である。よって、図1A及び図1Bに示した従来方法では約8 nmの厚さのシリコン基板上部領域中のシリコンが消費されることになる。これに対して、図3A及び図3Bに示した本実施態様の場合、積層したニッケル層中のニッケル原子とシリコン層中のシリコン原子が殆ど全て反応してニッケルモノシリサイドになる。このため、シリコン基板中のシリコンの消費量は、ニッケル原子の総数( $N_{Ni}$ )：シリコン原子の総数( $N_{Si}$ ) = 2 : 1の時に約4 nmの厚さのシリコン基板上部領域中のシリコンが消費され(図3Bの符号 $b$ を参照)、ニッケル原子の総数( $N_{Ni}$ )：シリコン原子の総数( $N_{Si}$ ) = 4 : 1の時に約6 nmの厚さのシリコン基板上部領域中のシリコンが消費され、ニッケル原子の総数( $N_{Ni}$ )：シリコン原子の総数( $N_{Si}$ ) = 5 : 1では約7 nmの厚さのシリコン基板上部領域中のシリコンが消費されることになる。したがって、図1A及び図1Bに示した従来方法よりも少なくとも25%以上の改善効果を期待するならば、積層膜全体に存在するシリコン原子の総数( $N_{Si}$ )に対するニッケル原子の総数( $N_{Ni}$ )の比率( $N_{Ni}/N_{Si}$ )は1よりも大きく、4以下であることが望ましい。

また、基板の最表面にシリコン・ゲルマニウム混晶層の領域や多結晶シリコン・ゲルマニウム層の領域が含まれる場合には、その基板上に積層したニッケル層中のニッケル原子の一部が、基板のシリコンと反応するような条件にしてニッケルモノシリサイドを形成することが好ましい。そうした条件としては、上述したようなシリコン基板上にニッケルシリサイド膜を形成する場合と同様に、消費ファクターを考慮し、積層膜全体に存在するシリコン原子の総数( $N_{Si}$ )に対するニッケル原子の総数( $N_{Ni}$ )の比率( $N_{Ni}/N_{Si}$ )を1乃至4程度の範囲にすることが望ましい。

ニッケル層中の一部のニッケル原子と基板中のシリコン原子とを反応させることにより、基板の単結晶シリコンの結晶性を、形成されるニッケルモノシリサイドの結晶性に反映させることができる。そのため、より結晶性のよいニッケルモノシリサイド膜を得ることができる。また、積層膜の下地がシリコン層やシリコン・ゲルマニウム層である場合には、その下地中のシリコン原子を消費することにより、接触抵抗の低減を図ることができる。こうした効果をもたらすためには、積層膜全体に存在するシリコン原子の総数 ( $N_{Si}$ ) に対するニッケル原子の総数 ( $N_{Ni}$ ) の比率 ( $N_{Ni}/N_{Si}$ ) を 1 : 1 よりもニッケルの方が多くなるようにすることが望ましい。すなわち、積層膜全体に存在するシリコン原子の総数 ( $N_{Si}$ ) に対するニッケル原子の総数 ( $N_{Ni}$ ) の比率 ( $N_{Ni}/N_{Si}$ ) は 1 よりも大きく、4 以下であることが好ましい。

また、MOS トランジスタ等においては、集積化の向上に伴いますソース・ドレイン層が浅くなることが要求されるが、このような場合には、積層膜全体に存在するシリコン原子の総数 ( $N_{Si}$ ) に対するニッケル原子の総数 ( $N_{Ni}$ ) の比率 ( $N_{Ni}/N_{Si}$ ) は 4 以下であることが好ましい。また、消費ファクターを 0.61 とする必要があるれば、積層膜全体に存在するシリコン原子の総数 ( $N_{Si}$ ) に対するニッケル原子の総数 ( $N_{Ni}$ ) の比率 ( $N_{Ni}/N_{Si}$ ) を 3 以下とすればよく、消費ファクターを 0.41 とする必要があるれば、積層膜全体に存在するシリコン原子の総数 ( $N_{Si}$ ) に対するニッケル原子の総数 ( $N_{Ni}$ ) の比率 ( $N_{Ni}/N_{Si}$ ) を 2 以下とすればよい。また、将来のさらなる集積化を考えれば、積層膜全体に存在するシリコン原子の総数 ( $N_{Si}$ ) に対するニッケル原子の総数 ( $N_{Ni}$ ) の比率 ( $N_{Ni}/N_{Si}$ ) を 2 以下とすることが最も好ましい。

また、こうした積層膜形成工程においては、シリコン層各層のシリコン原子の数 ( $N_{Si}$ ) に対するニッケル層各層のニッケル原子の数 ( $N_{Ni}$ ) の比が、積層膜全体に存在するシリコン原子の総数 ( $N_{Si}$ ) に対するニッケル原子の総数 ( $N_{Ni}$ ) の比率 ( $N_{Ni}/N_{Si}$ ) と等しくなるように積層させることが好ましい。こ

ここでいう各層の原子数比を積層膜全体の原子数比と等しくするとは、例えば、積層した一のニッケル層に存在するニッケル原子の数 ( $N_{Ni}$ ) と一のシリコン層に存在するシリコン原子の数 ( $N_{Si}$ ) との比が、多層に積層された積層膜全体に存在するニッケル原子の総数 ( $N_{Ni}$ ) とシリコン原子の総数 ( $N_{Si}$ ) との比と等しくすることである。こうした構成にすることにより、後述するシリサイド反応におけるニッケルの拡散が積層膜の各部において均一に行われ、均質なニッケルモノシリサイドが生成し易くなる。その結果、抵抗値の低いニッケルモノシリサイドを安定して形成することができる。

本発明においては、積層膜中のニッケル原子の数とシリコン原子の数とが上述した関係を有することが重要でありその範囲内で成膜されるが、実際に成膜される各ニッケル層やシリコン層の厚さは、通常 2 ~ 10 nm の範囲である。ニッケル原子をシリコン中にすばやく拡散させてシリサイド反応を起こり易くさせるためにはできるだけニッケル層を薄くすることが望ましいが、ニッケル層が薄過ぎるとニッケルダイシリサイドが形成され易くなること、また、積層回数が多いと積層工程に多くの時間がかかってしまうことなどの観点から、上記のような厚さの範囲に設定されることが望ましい。また、各層の積層回数は、最終的に得られるニッケルシリサイド膜の厚さを考慮して設定されるが、通常は 10 ~ 30 nm のニッケルシリサイド膜の厚さとなるように、前記の各層の厚さを考慮して積層回数が設定される。

次に、シリサイド反応工程について説明する。本発明のニッケルシリサイド膜の形成方法は、上述したように積層された積層膜を、ニッケルモノシリサイドが生成する第 2 の基板温度で熱処理することにより達成され、図 3 B に示すように、ニッケルモノシリサイドを主として含むニッケルシリサイド膜 15 が得られる。

熱処理方法としては、通常の炉によるアニールやラピッドサーマルアニール (RTA) 等の任意の方法を用いることができる。第 2 の基板温度は、ニッケルモノシリサイドが安定して生成する温度であれば任意の温度が選択される。第 2 の基板温度は、熱処理の方法によっても適宜修正されるが、その温度範囲としては通常 30

0℃～750℃であることが好ましく、350℃～500℃であることがより好ましい。第2の基板温度が750℃を超えると、抵抗率の高いニッケルダイシリサイドを主成分とするニッケルシリサイド膜になってしまう。また第2の基板温度が300℃未満では、十分にシリサイド反応を起せず、ニッケルモノシリサイドを生成することができないことがある。

前記第2の基板温度での熱処理の前に予備的な低温での熱処理を行っても良い。この際予備的な低温での熱処理の温度は、第2の基板温度範囲よりも低いことが好ましい。いきなり高い温度で熱処理した場合、局部的に異常に高温になりニッケルシリサイド膜の組成や膜厚等のばらつきが生じる恐れがある。しかし、予備的な低温での熱処理を行いシリサイド反応を完全に起さずに積層膜を構成するニッケル層及びシリコン層の結晶性の変化を起させる。即ち、アモルファス状態からより結晶性の高い状態へとニッケル層及びシリコン層を変化させる。その後、第2の基板温度で熱処理を行うことで、温度上昇がより緩やかになり、その結果、組成や膜厚等のばらつきを生じることなくニッケルシリサイド膜を安定して形成することが可能となる。

熱処理時の雰囲気としては、真空雰囲気または任意のガス雰囲気例えば窒素等のガス雰囲気であればよいが、積層したニッケル層とシリコン層とが酸化しないように酸素をできるだけ含まない雰囲気であることが望ましい。また熱処理時間は、積層膜全体の厚さや熱処理の方法、熱処理温度により設定されるが、通常の炉による熱処理では5分～60分、RTAの場合には10秒～120秒である。

上記の熱処理を施すことにより、ニッケル層12中のニッケル原子がシリコン層13中に拡散してシリコン原子と反応してニッケルモノシリサイドが生成する。このとき、基板11に一番近いニッケル層12の一部のニッケル原子はシリコン基板11へも拡散するが、そのシリコン基板11が単結晶であるのに対して、ニッケル層12に接する上部シリコン層13はアモルファスシリコンであるので、ニッケル原子は上部のアモルファスシリコン中に優先的に拡散してニッケルモノシリサイド

が形成される。

また、積層膜全体に存在するシリコン原子の総数 ( $N_{Si}$ ) に対するニッケル原子の総数 ( $N_{Ni}$ ) の比率 ( $N_{Ni}/N_{Si}$ ) を 1 : 1 よりもニッケルの方が多くなるように積層膜を形成しておくことにより、シリコン層 13 中のシリコン原子がすべてニッケルモノシリサイドとなってもニッケル原子が余ることになる。余ったニッケル原子は、シリコン基板 11 へと拡散して基板中のシリコンと反応してニッケルモノシリサイドを形成する。

したがって、本実施形態では、図 3 B に示すように、形成されたニッケルモノシリサイドを主成分として含むニッケルシリサイド膜の膜厚  $a$  に対して、反応に消費されたシリコン基板 11 の膜厚  $b$  を非常に小さくすることができる。こうして得られたニッケルシリサイド膜 15 は、均一で結晶性の良いものとなった。

また、本実施形態において、ニッケル層とシリコン層の積層順序を逆にして、基板に一番近い層をシリコン層とし、その上に順次ニッケル層、シリコン層、…、と積層させることができる。このようにすると、ニッケル層のニッケル原子は、シリコン基板へ達する前に必ずアモルファスシリコン層を通ることになり、積層膜全体に存在するシリコン原子の総数 ( $N_{Si}$ ) に対するニッケル原子の総数 ( $N_{Ni}$ ) の比率 ( $N_{Ni}/N_{Si}$ ) がちょうど 1 : 1 の場合でもニッケルモノシリサイドを安定して形成することができる。この場合には、シリコン基板のシリコン消費量をゼロとすることができるが、積層膜全体に存在するシリコン原子の総数 ( $N_{Si}$ ) に対するニッケル原子の総数 ( $N_{Ni}$ ) の比率 ( $N_{Ni}/N_{Si}$ ) を 1 : 1 よりもニッケルの方が多くなるように積層膜を形成し、ニッケル原子の一部がシリコン基板のシリコンと反応するような条件でニッケルモノシリサイドからなるニッケルシリサイド膜を形成した方が、基板の単結晶シリコンの結晶性が、形成されたニッケルモノシリサイドの結晶性に反映されるため、より結晶性の良いニッケルシリサイド膜が得られる。

前述したように、本実施の形態によれば、ニッケル層とシリコン層とを積層させ



積層膜を形成した後にシリサイド反応させたニッケルシリサイド膜を形成する。しかし、積層膜の形成に代えて、ニッケルとシリコンとを共析 (co-deposition) させた後に上記シリサイド反応させてニッケルシリサイド膜を形成してもよい。その場合には、成膜時のニッケルとシリコンの組成比 ( $N_{Ni}/N_{Si}$ ) を上記と同様の 1 以上となるよう析出を行う。こうして共析した膜には、上述した第 2 の基板温度での熱処理を施して、シリサイド反応させる。ニッケルとシリコンの共析方法は、反応性スパッタ法や CVD 法等の各種の成膜方法を適用できる。

なお、ニッケルシリサイドが形成される基板面の結晶配向については既に述べたが、方位面として (100) 面または (100) 面の微傾斜面であることが好ましい。

また、本実施形態において、基板は通常のシリコン基板だけでなく、シリコン オン インシュレータ (SOI) 基板やシリコン・ゲルマニウム オン インシュレータ (SGOI) 基板でも良い。この場合には、薄い SOI 層や SGOI 層に MOS トランジスタを形成する場合に、ニッケルモノシリサイドを主成分とするニッケルシリサイド膜が埋め込み酸化膜層まで達して MOS トランジスタの特性が劣化するという現象を防ぐことができる。

### <第 2 実施形態>

次に、本願の第 2 実施形態について説明する。図 4 A 及び図 4 B は、本発明の第 2 実施の形態において、シリコン基板上にニッケルモノシリサイドを主成分とするニッケルシリサイド膜を形成する方法に関する各工程における基板を示す部分縦断面図である。この第 2 実施形態は、本発明のニッケルシリサイド膜の形成方法において、基板として、シリコン基板 31 の表面にシリコン・ゲルマニウム混晶層 34 が形成されたものを適用した例である。

図 4 A に示すように、先ず、第 1 実施形態と同様の方法により、シリコン・ゲルマニウム混晶層 34 の上にニッケル層 32 とシリコン層 33 を、シリサイド反応を

起こさない第1の基板温度の下で交互に積層する。この第2の実施形態においても、ニッケル層32とシリコン層33とを堆積するときの第1の基板温度を、シリサイド反応を起こさない室温（通常20℃程度）～200℃の範囲内の温度にする。その結果、シリコン層33がアモルファスシリコンとなり、堆積時には、ニッケルとシリコンおよび基板のシリコン・ゲルマニウム混晶の反応が起こらない。また、第1の実施形態と同様に、ニッケル層32とシリコン層33の膜厚は、積層膜全体に存在するシリコン原子の総数（ $N_{Si}$ ）に対するニッケル原子の総数（ $N_{Ni}$ ）の比率（ $N_{Ni}/N_{Si}$ ）が1:1もしくは1:1よりもニッケルの方が多くなるようにすることが好ましく、各ニッケル層32の厚さと各シリコン層33の厚さと積層数は、形成しようとするニッケルシリサイド膜35の膜厚により調整することができる。

次に、ニッケルモノシリサイドを主に形成する第2の基板温度で熱処理することにより、図4Bに示すように、ニッケルモノシリサイドを主成分とするニッケルシリサイド膜35を得ることができる。このとき、ニッケル層32中の一部のニッケル原子はシリコン・ゲルマニウム混晶層34へ拡散して反応するので、ニッケルモノシリサイドを主成分とするニッケルシリサイド膜35とシリコン・ゲルマニウム混晶層34との間に、抵抗値の高いニッケルジャーマノシリサイド（ $NiSi_{1-x}Ge_x$ ）層36ができる。したがって、本実施の形態によれば、シリコン・ゲルマニウム混晶とニッケルとを反応させた場合よりも更に低い抵抗値の膜が得られるという効果もあり、MOSトランジスタにおいてシリコン・ゲルマニウム混晶をソース・ドレイン領域に用いたり、ゲート電極を多結晶シリコン・ゲルマニウムで形成したりする場合にも、トランジスタ特性を向上させることができる。

なお、熱処理をする第2の基板温度は、ニッケルモノシリサイドが良好に生成し、かつニッケルダイシリサイド反応が起きないように、300℃～750℃の温度範囲、好ましくは350℃～500℃の温度範囲で熱処理されることが好ましい。

従来のニッケルだけを堆積して熱処理する方法では、形成された膜はすべてニッ

ケルジャーマノシリサイドとなり、またニッケルジャーマノシリサイド層とシリコン・ゲルマニウム混晶層の界面にゲルマニウムが析出して欠陥を作りやすい。しかし、本実施の形態では、ニッケル原子がアモルファスシリコン層へ拡散しやすい性質により、形成されるニッケルジャーマノシリサイド層を非常に薄くすることができる。例えば、積層膜全体に存在するシリコン原子の総数 ( $N_{Si}$ ) に対するニッケル原子の総数 ( $N_{Ni}$ ) の比率 ( $N_{Ni} : N_{Si}$ ) = 2 : 1 の条件で積層して 10 nm のニッケルシリサイド膜を形成する場合には、ニッケルジャーマノシリサイド層を 4 nm 程度に薄くすることができる。ニッケルジャーマノシリサイドは、ゲルマニウム濃度が高くなるに従い、抵抗率も高くなるので、この実施形態で形成した膜は、従来のニッケルだけを堆積して熱処理する方法で形成した場合よりも、低い抵抗率を得ることができる。また熱処理の際に、ニッケルジャーマノシリサイド層中のゲルマニウム原子の拡散も起こるので、ニッケルジャーマノシリサイド層中のゲルマニウム濃度が低くなり、より低抵抗率になるという効果もある。

また、本実施形態において、ニッケル層とシリコン層の積層順序を逆にして、基板に一番近い層をシリコン層とすることもできることは、第 1 実施形態の場合と同様である。

なお、本実施形態では、シリコン基板の表面にシリコン・ゲルマニウム混晶層が形成されている場合に本発明のニッケルシリサイド膜の形成方法を適用する場合を示したが、本発明は、シリコン基板の表面に形成されている層が多結晶の場合でも適用可能である。なぜならば、ニッケル層と交互に積層するシリコン層は、アモルファス状態であり、ニッケル原子は多結晶中よりもアモルファス中の方が拡散しやすいからである。したがって、本発明によれば、基板の表面が、多結晶シリコンや多結晶シリコン・ゲルマニウムである場合にも、基板中のシリコンやシリコン・ゲルマニウムの消費を少なくして、十分な厚さを持ったニッケルモノシリサイド膜を形成することができる。

また、本第 2 の実施形態において、基板は通常のシリコン基板だけでなく、シリ

コン オン インシュレータ（SOI）基板やシリコン・ゲルマニウム オン インシュレータ（SGOI）基板でも良い。この場合には、薄いSOI層やSGOI層にMOSトランジスタを形成する場合に、ニッケルモノシリサイドを主成分とするニッケルシリサイド膜が埋め込み酸化膜層まで達してMOSトランジスタの特性が劣化するという現象を防ぐことができる。

また、前述の第一の実施の形態で説明したように、ニッケル層とシリコン層との積層膜の形成に代えて、ニッケルとシリコンとを共析（co-deposition）させた後に上記シリサイド反応させてニッケルシリサイド膜を形成してもよい。

更に、前述の第一の実施の形態で説明したように、前記第2の基板温度での熱処理の前に予備的な熱処理を第2の基板温度範囲よりも低い温度で行っても良い。

### <第3実施形態>

次に、本願の第3実施形態について説明する。図5A乃至図5Eは、本発明の第3実施の形態において、ニッケルシリサイド膜をMOSトランジスタのソース・ドレインおよびゲート電極とのコンタクトに適用した際のニッケルシリサイド膜形成する方法に関する各工程を示す部分縦断面図である。図5Aは、ニッケルシリサイド膜からなるコンタクトを形成する前のMOSトランジスタの部分縦断面図である。シリコン基板41上に素子分離領域42、ゲート絶縁膜43、ソース・ドレイン領域44、ゲート電極45、およびゲート側壁46が形成されている。

まず、図5Bに示すように、全面にレジストを塗布した後にマスクを用いた露光とエッチングを行ない、素子分離領域とゲート側壁の上にのみレジスト47を残す。次に、図5Cに示すように、第1実施形態および第2実施形態と同様に、ニッケル層48とシリコン層49を交互に堆積する。この時、通常のスパッタリング法や分子線エピタキシー法などの方法により、基板全面にニッケルとシリコンの積層構造が形成される。

次に、第1実施形態および第2実施形態と同様の熱処理を行なうことにより、図

5 Dに示すように、ニッケルシリサイド膜410が形成される。次に、レジストに対して選択性を持つエッチング液により、ゲート側壁および素子分離領域上に形成されたニッケルシリサイド膜を、レジストとともに除去し、図5 Eに示すようなソース・ドレイン領域とゲート電極にニッケルシリサイドコンタクトを形成したMOSトランジスタが得られる。

このようにして形成したMOSトランジスタは、十分な厚さを持ったニッケルシリサイド膜のコンタクトが形成されているので、コンタクトの抵抗を低くすることができ、トランジスタの性能が向上する。また、ソース・ドレイン領域のシリコンがあまり消費されずにシリサイド膜が形成されているので、ソース・ドレイン領域のpnジャンクションとシリサイド膜の距離が十分離れており、ジャンクションリークによる劣化も少ない。

#### (半導体装置の製造方法)

次に、半導体装置の製造方法について説明する。

本発明の半導体装置の製造方法は、上述したニッケルシリサイド膜の形成方法を利用したものであって、表面に半導体領域および絶縁膜領域を有する基板上に、シリサイド反応を起こさない第1の基板温度で少なくとも各1層よりなるニッケル層とシリコン層を交互に積層する積層膜形成工程と、当該積層膜をニッケルモノシリサイドが生成する第2の基板温度で熱処理するシリサイド反応工程と、前記絶縁膜上に形成された膜をエッチングにより除去するエッチング工程とを含む半導体装置の製造方法である。そして、積層膜形成工程において、積層膜全体に存在するシリコン原子の総数( $N_{Si}$ )に対するニッケル原子の総数( $N_{Ni}$ )の比( $N_{Ni}/N_{Si}$ )が1以上である。

本発明においては、前記の各工程が連続工程を構成している一貫プロセスであってもよいし、それらが任意に独立した工程であってもよい。

本発明の製造方法において、積層膜形成工程とシリサイド反応工程とにより形成

されるニッケルシリサイド膜の基本的な態様については、上述したニッケルシリサイド膜の形成方法の説明欄に記載したとおりであるが、本発明の特徴は、基板上の半導体領域上と絶縁体領域上とに亘り、積層膜全体に存在するシリコン原子の総数 ( $N_{Si}$ ) に対するニッケル原子の総数 ( $N_{Ni}$ ) の比 ( $N_{Ni}/N_{Si}$ ) が1以上になるようにニッケル層とシリコン層とを交互に堆積し、その後シリサイド反応させたときのニッケルシリサイド膜の組成が、半導体領域上と絶縁体領域上とで異なることにある。そして、絶縁体領域上に形成されたニッケルシリサイド膜はニッケルリッチとなってエッチングされやすく、その結果、絶縁体領域上のニッケルシリサイド膜のニッケルリッチ領域を容易に選択エッチングすることができる。

すなわち、基板の絶縁体領域が露出した部分に堆積されたニッケルとシリコンが反応してシリサイドとなるが、ニッケルは絶縁体領域中に拡散することができず、絶縁体領域中の成分原子とは反応しないので、絶縁体領域上では、堆積したニッケル原子とシリコン原子との数の比に応じた組成比を有するニッケルシリサイドが形成される。本発明では、ニッケル原子の数がシリコン原子の数よりも多くなるように堆積するので、絶縁体領域上ではニッケル過剰（ニッケルリッチ）のニッケルシリサイドが形成される。また、半導体領域であるシリコン領域上では堆積した一部のニッケル原子が基板中に拡散し、基板のシリコン原子とも反応するので、形成されたニッケルシリサイド膜は、基板の単結晶シリコンあるいは多結晶シリコンの結晶性を引き継いで結晶化し、グレインがある程度の大きさを持ち、特定の結晶方位に配向した膜となる。これに対して、絶縁体領域上では、絶縁体がアモルファス状態であるために、ニッケルシリサイド膜はグレインサイズが小さく、特定の結晶方位に配向しにくく、結晶性の悪い膜となる。

このようにニッケル原子が過剰で、結晶性も悪いニッケルシリサイド膜は、例えば、塩酸、過酸化水素水、水を適当な割合で混合したエッチング液によって容易に除去することができる。この時、シリコン上のニッケルシリサイド膜は、ニッケルモノシリサイド ( $NiSi$ ) が主成分であり、結晶性も良いので、ほとんどエッチ

ングされない。

したがって、本発明によれば、シリコン基板中のシリコン原子の消費量をできるだけ少なくして、なおかつ十分な厚さをもった低抵抗のニッケルシリサイド膜を形成することが可能となる。さらに、絶縁体領域上に形成されたニッケルシリサイド膜をウェットエッチングによって除去して単結晶または多結晶のシリコン上にのみニッケルシリサイド膜を形成することが可能である。本発明の方法をMOSトランジスタの製造工程に適用すれば、素子分離領域やゲートサイドウォールのシリコン酸化膜あるいはシリコン窒化膜上のニッケルシリサイドをウェットエッチングによって除去して、ソース・ドレイン領域の単結晶シリコンおよびゲート電極の多結晶シリコンの部分にのみニッケルシリサイドを形成するシリサイドプロセスが可能となる。

エッチングされるニッケルシリサイド膜は、全領域のシリコン原子の総数 ( $N_{Si}$ ) に対するニッケル原子の総数 ( $N_{Ni}$ ) の比 ( $N_{Ni}/N_{Si}$ ) が 1.11 ( $Ni:Si=1:0.9$  未満) より大きいことが好ましく、1.25 ( $Ni:Si=1:0.8$  未満) より大きいことがより好ましく、1.43 ( $Ni:Si=1:0.7$  未満) よりも大きいことが更に好ましい。この組成からなるニッケルシリサイド膜は、エッチング液により速やかにエッチングされる。これは、例えば  $N_{Ni}/N_{Si}$  が 1.00 ( $Ni:Si=1:1$ ) の組成のニッケルシリサイド膜がエッチングされないのとは大きく異なる。

なお、上記の組成は、ニッケルシリサイド膜全体の組成であっても、絶縁体領域に接する境界面の組成であってもよい。すなわち、少なくとも絶縁膜に接する境界面の組成が上記範囲であることが必要であり、ニッケルシリサイド膜は少なくともその境界面でエッチング液に浸食されてエッチングされる。ニッケルとシリコンの組成は、X線光電子分光 (XPS) 等により分析した結果である。

また、シリサイド膜は、そのX線回折パターンが  $Ni_2Si$  の回折ピークを有する場合においても好ましくエッチングされる。

図6は、半導体領域を構成するSi上と絶縁体領域を構成するSiO<sub>2</sub>上のそれぞれに、積層膜全体に存在するシリコン原子の総数(N<sub>Si</sub>)に対するニッケル原子の総数(N<sub>Ni</sub>)の比(N<sub>Ni</sub>/N<sub>Si</sub>)が2(Ni:Si=1:0.5)となる条件で積層し、その後400℃でアニールしてシリサイド反応させた後のニッケルシリサイド膜のX線回折パターンを示す図である。Si上にはニッケルモノシリサイド(NiSi)の回折ピークが表れているのに対し、SiO<sub>2</sub>上にはNi<sub>2</sub>Siの回折ピークが表れている。本発明者らは、このX線回折パターンを有するシリサイド膜をエッチングしたところ、Ni<sub>2</sub>Siの回折ピークをもつSiO<sub>2</sub>上のシリサイド膜が選択的にエッチングされたのを確認した。そのエッチング前後のTEM写真を図7と図8に示した。即ち図7は、SiO<sub>2</sub>上にNi<sub>2</sub>Si膜が形成されたエッチング前の断面TEM写真である。図8は、SiO<sub>2</sub>上のNi<sub>2</sub>Si膜がエッチングされた後の断面TEM写真である。図8において、SiO<sub>2</sub>上に形成されたNi<sub>2</sub>Siがエッチングにより消えているのが確認された。

なお、上述した第一の実施の形態で説明したように、ニッケルとシリコンとを共析(co-deposition)させた後に上記シリサイド反応させることでニッケルシリサイド膜を形成してもよい。その場合には、成膜時のニッケルとシリコンの組成比(N<sub>Ni</sub>/N<sub>Si</sub>)を上記と同様の1以上となるよう析出を行う。こうして共析した膜には、上述した第2の基板温度での熱処理を施して、シリサイド反応させる。シリサイド反応後の膜については、(i)半導体領域を構成するSi上のニッケルシリサイド膜は、余ったニッケルがSi中に拡散して消費されるので、エッチングされないニッケルモノシリサイド膜となっており、(ii)絶縁膜領域を構成するSiO<sub>2</sub>上のニッケルシリサイド膜は、余ったニッケルがSiO<sub>2</sub>中に拡散できないので、エッチングされやすいNi<sub>2</sub>Si膜となっている。その結果、上述したのと同様に、絶縁膜であるSiO<sub>2</sub>膜上のニッケルシリサイド膜のみを選択的にエッチングすることができる。ニッケルとシリコンの共析方法は、前述したように反応性スパッタ法やCVD法等の各種の成膜方法を適用できる。



更に、前述の第1の実施の形態で説明したように、前記第2の基板温度での熱処理の前に予備的な低温での熱処理を行っても良い。この際予備的な低温での熱処理の温度は、第2の基板温度範囲よりも低いことが好ましい。いきなり高い温度で熱処理した場合、局部的に異常に高温になりニッケルシリサイド膜の組成や膜厚等のばらつきが生じる恐れがある。しかし、予備的な低温での熱処理を行いシリサイド反応を完全に起さずに積層膜を構成するニッケル層及びシリコン層の結晶性の変化を起させる。即ち、アモルファス状態からより結晶性の高い状態へとニッケル層及びシリコン層を変化させる。また、シリコンとニッケルとの共析を行いシリコンとニッケルとを含む共析膜を形成した場合も、アモルファス状態からより結晶性の高い状態へと共析膜を変化させる。

本実施例の場合、積層膜或いは共析膜は、半導体領域上及び絶縁体領域上に亘り形成される。一般的には、半導体領域は絶縁体領域より結晶性がより高い。典型的には、絶縁体領域はアモルファス状態にあり、一方半導体領域は単結晶状態にある。積層膜或いは共析膜はアモルファス状態にあり、予備的な低温での熱処理を行うことで、積層膜或いは共析膜はアモルファス状態からより結晶性の高い状態への変化するが、この変化は絶縁体領域上に比べて半導体領域上でより顕著である。即ち、半導体領域は絶縁体領域より結晶性がより高いので、下地を構成するこれら領域の結晶性の相異が、積層膜或いは共析膜のアモルファス状態からより結晶性の高い状態への変化に影響を及ぼす。即ち、より結晶性の高い半導体領域上に位置する積層膜或いは共析膜の部分は、結晶性の高い下地の影響を受けることで結晶性の高い状態になるが、より結晶性の低い絶縁体領域上に位置する積層膜或いは共析膜の部分は、結晶性の低い下地の影響を受けることで結晶性の低い状態になる。例えば、単結晶状態の半導体領域上に位置する積層膜或いは共析膜の部分は、前記第2の基板温度範囲より低い温度で行う予備的な熱処理により、単結晶状態或いは単結晶状態に近い状態となる。一方、アモルファス状態の絶縁体領域上に位置する積層膜或いは共析膜の部分は、該予備的な熱処理によりアモルファス状態から殆ど変化しない

か或いは少し変化するにとどまる。従って、前記予備的な熱処理を施した積層膜或いは共析膜は、その結晶性が半導体領域上でより高く絶縁体領域上でより低い。

その後、本実施の形態で既に説明したように、第2の基板温度で熱処理を行うことでシリサイド反応を起こしニッケルシリサイド膜を形成した後、先に説明したように絶縁体領域上のニッケルリッチ領域のみを選択的にエッチングにより除去することで半導体領域上のニッケルモノシリサイド領域のみからなるニッケルシリサイド膜が自己整合的に形成される。

ここで、エッチング工程をシリサイド反応工程の前に行っても、ニッケルシリサイド膜を自己整合的に形成することが可能となる。前述したように、予備的な熱処理を施した積層膜或いは共析膜は、その結晶性が半導体領域上でより高く絶縁体領域上でより低い。この結晶性の違いはエッチングレートに影響を与える。即ち、結晶性が高い領域は結晶性が低い領域よりエッチングレートが低くなる。このことは、積層膜或いは共析膜の全領域をエッチング液に曝すことで、絶縁体領域上に位置し結晶性が低い領域のみが選択的に除去され、半導体領域上に位置し結晶性が高い領域は残ることで、自己整合的にエッチングすることが可能となる。その後、第2の基板温度で熱処理を行うことで半導体領域上に残存した積層膜或いは共析膜のシリサイド反応を起こし、ニッケルシリサイド膜を半導体領域上のみに自己整合的に形成することが可能である。

前述したように、低温での予備的な熱処理を行うことの更なる効果として、温度上昇がより緩やかになり、その結果、組成や膜厚等のばらつきを生じることなくニッケルシリサイド膜を安定して形成することが可能となる。

#### <第4実施形態>

次に、本願の第4実施形態である半導体装置の製造方法について説明する。図9A乃至9Dは、本発明の第4実施形態に係るシリコン基板上のMOSトランジスタのソース・ドレイン領域とゲート電極にニッケルモノシリサイドを主成分とするニ

ニッケルシリサイド膜を自己整合的に形成する方法の一例に係る各工程を示す部分縦断面図である。図10は、図9Bに示すMOSトランジスタの部分拡大縦断面図である。この実施形態においても、ニッケルモノシリサイド膜は、ニッケルモノシリサイドを主成分とするニッケルシリサイド膜のことを意味する。

先ず、図9Aに示すように、シリコン基板71上に、通常のMOSトランジスタの製造プロセスによって、素子分離領域72、ゲート絶縁膜73、ゲート電極74、ゲートサイドウォール75、ソース・ドレイン領域76を形成する。ここで、素子分離領域72およびゲートサイドウォール（ゲート側壁）75は、シリコン酸化膜またはシリコン窒化膜などの絶縁膜によって構成され、ゲート電極74には多結晶シリコンが用いられている。また、ソース・ドレイン領域76は、基板シリコン71にボロンや砒素などのドーパント不純物をイオン注入し、活性化アニールを行うことによって形成される。

次に、図9B及び図10に示すように、この基板全面に、ニッケル層78とシリコン層79とを交互に積層した積層膜77を形成する。図10は、積層膜77の拡大図であり、基板に近い方からニッケル層78、シリコン層79の順で、それぞれ3層ずつ積層している。ここで、ニッケル層78とシリコン層79は、それぞれ、ニッケル原子とシリコン原子を、スパッタリング法、分子線エピタキシー法等の任意の方法によって堆積することによって形成できるが、堆積する時の基板温度を200℃以下にして、シリコン層79がアモルファスシリコンとなり、堆積中にはニッケルとシリコンが反応しないようにする。

ニッケル層78とシリコン層79の膜厚は、積層膜77全体に存在するシリコン原子の総数( $N_{Si}$ )に対するニッケル原子の総数( $N_{Ni}$ )の比( $N_{Ni}/N_{Si}$ )が1より大きくなるようにする。言い換えれば、 $N_{Ni}:N_{Si}$ においては1:1よりもニッケルの方が多くなるようにする。ニッケル層とシリコン層との堆積形態については、ニッケルシリサイド膜の形成方法の説明欄に記載したのと同様であるが、全ニッケル層の厚さに対する全シリコン層の厚さの比が1.79の時にちょ

うど積層膜77全体に存在するシリコン原子の総数( $N_{Si}$ )に対するニッケル原子の総数( $N_{Ni}$ )の比( $N_{Ni}/N_{Si}$ )が1:1となるので、全ニッケル層の厚さに対する全シリコン層の厚さの比が1.79より小さくなるようにすればよい。

ニッケル層とシリコン層の積層順序については、その積層順序を逆にして、基板に一番近い層をシリコン層とすることもできる。また、一番上の層をシリコン層とすれば、積層後に基板を装置から取り出して熱処理を行なうまでの間に積層したニッケルが酸化するのを防ぐことができるという効果もある。

次に、図9Cに示すように、ニッケルとシリコンを堆積した時の基板温度よりも高い第2の温度で熱処理することにより、ソース・ドレイン領域およびゲート電極のシリコンが露出した部分にニッケルモノシリサイド膜710が形成される。熱処理方法、熱処理温度および熱処理雰囲気等については、上述したニッケルシリサイド膜の形成方法の場合と同様であるので省略する。

本実施形態では、堆積したニッケル原子とシリコン原子が反応してニッケルモノシリサイド膜が形成される。このとき、ソース・ドレイン領域およびゲート電極のシリコンが露出した部分においては、ニッケル原子がシリコン原子よりも多く、ニッケルモノシリサイドの形成に十分な量よりもニッケル原子が余分に存在しているので、過剰なニッケル原子の一部が露出したシリコン中に拡散してシリサイド反応を起こし、ニッケルモノシリサイドが形成される。一方、もし堆積したシリコン原子がニッケル原子よりも多い場合においては、余分のシリコン原子が未反応のまま残ったり、高抵抗のニッケルダイシリサイドができたりして、得られたニッケルシリサイド膜は不均一で結晶性が悪く、抵抗値も高いものになってしまう。そこで、本発明では、積層膜全体に存在するシリコン原子の総数( $N_{Si}$ )に対するニッケル原子の総数( $N_{Ni}$ )の比( $N_{Ni}/N_{Si}$ )が1より大きくなるように、言い換えれば、ニッケルとシリコンの原子数の比が1:1よりもニッケルの方が多くなるように、ニッケル層とシリコン層とを堆積するので、余分のニッケル原子は基板のシリコン中に拡散して反応し、均一で結晶性の良いニッケルモノシリサイドを主

成分とするニッケルシリサイド膜が形成される。この時、基板のシリコンと反応するニッケルは堆積したシリコン原子と反応しなかったニッケル原子である。

一方、図9Cに示すように、素子分離領域およびゲートサイドウォールの絶縁膜が露呈した部分に堆積されたニッケルとシリコンも反応してニッケルシリサイド膜711となるが、ニッケルは絶縁膜中の成分原子とは反応しないので、絶縁膜上では、堆積したニッケル原子とシリコン原子との比に応じた組成比のニッケルシリサイドが形成される。本発明では、上述したように、ニッケル原子数がシリコン原子数よりも多くなるように堆積するので、絶縁膜上ではニッケル過剰のニッケルシリサイドが形成される。また、シリコン上では堆積したニッケル原子の一部が基板中のシリコン原子とも反応するので、形成されたニッケルシリサイド膜は、基板の単結晶シリコンあるいは多結晶シリコンの結晶性を引き継いで結晶化し、グレインがある程度の大きさを持ち、特定の結晶方位に配向した膜となる。これに対して、絶縁膜上では、絶縁膜がアモルファスであるために、ニッケルシリサイド膜はグレインが小さく、特定の結晶方位に配向しにくく、結晶性の悪い膜となる。このようにニッケル原子が過剰で、結晶性も悪いニッケルシリサイド膜は、適当なエッチング液によって容易に除去することができる。この時、シリコン上のニッケルシリサイド膜は、ニッケルモノシリサイドが主成分であり、結晶性も良いので、ほとんどエッチングされない。

したがって、熱処理後に適当なエッチング液、例えば、塩酸、過酸化水素水、水を1：1：6で混合した溶液に基板全体を浸すことによって絶縁膜上に形成された膜を除去して、図9Dに示すような、ソース・ドレイン領域とゲート電極部分にのみニッケルシリサイドが形成された構造を作ることができる。なお、エッチング液としては、ニッケルモノシリサイドがほとんどエッチングされず、ニッケル過剰のニッケルシリサイドがエッチングされるものならば何でも良い。このようなものとしては、上記のエッチング液の他に、例えば、硫酸、過酸化水素水、水の混合液、アンモニア水、過酸化水素水、水の混合液などがある。また、エッチング反応を早

め、絶縁膜上のニッケルシリサイドをより完全に除去するために、これらのエッチング液の混合比を変える、エッチング液を加熱する、いくつかのエッチング液を組み合わせる、等の方法を使っても良い。

このようにして図9Dの構造を得た後、通常のプロセスにしたがって、層間膜を形成し、配線を行うことによって、MOSトランジスタが得られる。このようにして得られたMOSトランジスタは、コンタクト部分のニッケルシリサイド膜が、ソース・ドレイン領域のpn接合から十分離れており、なおかつ十分な厚さを持っているので、シリサイド膜とソース・ドレインのpn接合が接近することに起因するリーク電流の減少とシリサイド膜の低抵抗化によってトランジスタの特性が向上する。

また、第4の実施形態において、基板は通常のシリコン基板81だけでなく、シリコン オン インシュレータ(SOI)基板やシリコン・ゲルマニウム オン インシュレータ(SGOI)基板でも良い。

また、前述の第三の実施の形態で説明したように、ニッケル層とシリコン層との積層膜の形成に代えて、ニッケルとシリコンとを共析(co-deposition)させた後に上記シリサイド反応させてニッケルシリサイド膜を形成してもよい。

更に、前述の第1の実施の形態で説明したように、前記第2の基板温度での熱処理の前に予備的な低温での熱処理を行っても良い。また、前述の第4の実施の形態で説明したように、予備的な低温での熱処理により得られる半導体領域上及び絶縁体領域上での結晶性の相異を利用して自己整合的にエッチングしたのち、前記第2の基板温度で熱処理を行うことでシリサイド反応を引起こすことも可能である。

#### <第5実施形態>

次に、本願の第5実施形態である半導体装置の製造方法について説明する。本願の第5実施形態は、上記の第4実施形態とは、ソース・ドレイン領域およびゲート電極がシリコン・ゲルマニウム混晶および多結晶シリコン・ゲルマニウムである点

で異なる。図11A乃至11Bは、本発明の第5実施形態に係るシリコン基板上のMOSトランジスタのソース・ドレイン領域とゲート電極にニッケルモノシリサイドを主成分とするニッケルシリサイド膜を自己整合的に形成する方法の一例に係る各工程を示す部分縦断面図である。近年、MOSトランジスタのさらなる特性向上を目指して、ソース・ドレイン領域にシリコン・ゲルマニウム混晶を用いたり、ゲート電極に多結晶シリコン・ゲルマニウムを用いたりすることが提案されているが、本実施の形態は、このような場合にも適用できる。

第5実施形態は、図11Aに示すように、ゲート電極84が多結晶シリコン・ゲルマニウム混晶によって形成され、ソース・ドレイン領域86が単結晶シリコン・ゲルマニウム混晶層によって形成されている。これは、例えば、通常のMOSトランジスタの製造プロセスにおいて、ゲート電極を形成する工程で多結晶シリコンを成長させる代わりに多結晶シリコン・ゲルマニウムを成長させ、ゲート電極形成後にソース・ドレイン領域のシリコン層をいったんエッチングによって除去してからCVD等によってシリコン・ゲルマニウム混晶を選択エピタキシャル成長させることによって実現される。あるいは、ソース・ドレイン領域のエッチングを行わずにシリコン・ゲルマニウム混晶を選択エピタキシャル成長させ、せり上げ構造としてもよい。なお、図11Aにおいて、符号81はシリコン基板、符号82は素子分離領域、符号83はゲート絶縁膜、符号85はゲートサイドウォールである。

図11Aのような構造に対して、まず、第4実施形態と同様の方法によって、基板全体にニッケル層とシリコン層を、基板温度を第1の温度として、交互に積層する。上記第4実施形態においても、堆積する時の基板温度を200℃以下にして、シリコン層がアモルファスシリコンとなり、堆積中にはニッケルとシリコンおよび基板のシリコン・ゲルマニウム混晶が反応しないようにする。この場合にも、第4実施形態と同様に、ニッケル層とシリコン層の膜厚は、積層膜全体に存在するシリコン原子の総数( $N_{Si}$ )に対するニッケル原子の総数( $N_{Ni}$ )の比( $N_{Ni}/N_{Si}$ )が1:1よりもニッケルの方が多くなるようにするが、ニッケル層とシリ

コン層の厚さと層数は、形成したいニッケルモノシリサイドの膜厚によって変えることができる。

次に、第1の温度よりも高い第2の温度で熱処理を行ない、引き続いて第4実施形態と同様のエッチング液を用いて絶縁膜上のニッケルシリサイドを除去することにより、図11Bに示すように、ニッケルモノシリサイド膜810がソース・ドレイン領域86およびゲート電極84に形成された構造が得られる。このとき、ゲート電極84およびソース・ドレイン領域86では、一部のニッケル原子はシリコン・ゲルマニウム混晶層へ拡散して反応するので、ニッケルモノシリサイド膜810とシリコン・ゲルマニウム混晶層からなるゲート電極84およびソース・ドレイン領域86の間にニッケルジャーマノシリサイド ( $\text{NiSi}_{1-x}\text{Ge}_x$ ) 層812ができる。本第4実施形態においても、熱処理をする第2の温度は、ニッケルモノシリサイドが良好に形成され、かつダイシリサイド反応が起きないように、750℃以下であることが望ましい。

従来のニッケルだけを堆積して熱処理する方法では、形成された膜はすべてニッケルジャーマノシリサイドとなり、またニッケルジャーマノシリサイド層とシリコン・ゲルマニウム混晶層の界面にゲルマニウムが析出して欠陥を作りやすいが、本実施形態では、ニッケル原子の大部分が堆積したシリコン層と反応することによって、形成されるニッケルジャーマノシリサイド層812を非常に薄くすることができる。ニッケルジャーマノシリサイドは、ゲルマニウム濃度が高くなるに従い、抵抗値も高くなるので、本実施形態で形成した膜は、従来のニッケルだけを堆積して熱処理する方法で形成した場合よりも、低い抵抗値を得ることができる。また、熱処理の際に、ニッケルジャーマノシリサイド層中のゲルマニウム原子の拡散も起こるので、ニッケルジャーマノシリサイド層中のゲルマニウム濃度が低くなり、より低抵抗になるという効果もある。

また、本実施形態において、ニッケル層とシリコン層の積層順序を逆にして、基板に一番近い層をシリコン層とすることもできることは、第4実施形態の場合と同



様である。

以上のように、本発明の半導体装置の製造方法によれば、ソース・ドレイン領域 8 6 およびゲート電極 8 4 がシリコン・ゲルマニウム混晶および多結晶シリコン・ゲルマニウムである場合にも、基板のシリコン・ゲルマニウムの消費を少なくして、十分な厚さを持ったニッケルモノシリサイド膜 8 1 0 を形成することができる。

また、第 5 の実施形態において、基板は通常のシリコン基板 8 1 だけでなく、シリコン オン インシュレータ (SOI) 基板やシリコン・ゲルマニウム オン インシュレータ (SGOI) 基板でも良い。

また、前述の第三の実施の形態で説明したように、ニッケル層とシリコン層との積層膜の形成に代えて、ニッケルとシリコンとを共析 (co-deposition) させた後に上記シリサイド反応させてニッケルシリサイド膜を形成してもよい。

更に、前述の第 1 の実施の形態で説明したように、前記第 2 の基板温度での熱処理の前に予備的な低温での熱処理を行っても良い。また、前述の第 4 の実施の形態で説明したように、予備的な低温での熱処理により得られる半導体領域上及び絶縁体領域上での結晶性の相異を利用して自己整合的にエッチングしたのち、前記第 2 の基板温度で熱処理を行うことでシリサイド反応を引起こすことも可能である。

#### <第 6 実施形態>

次に、本願の第 6 実施形態である半導体装置の製造方法について説明する。次に、第 6 実施形態として、SOI 基板上の MOS トランジスタに本発明を適用した場合を示す。図 1 2 は、本発明の第 6 の実施の形態において、上記第 4 および第 5 の実施形態と同様の方法によってニッケルモノシリサイド膜を形成した SOI 基板上の MOS トランジスタを示す部分縦断面図である。図 1 2 において、MOS トランジスタは、シリコン基板 9 1、素子分離領域 9 2、ゲート絶縁膜 9 3、多結晶シリコンよりなるゲート電極 9 4、ゲートサイドウォール 9 5 を含む。

第 6 実施形態では、ソース・ドレイン領域 9 6 は、埋め込み酸化膜層 9 1 3 の上

のSOI層に形成されている。薄膜SOIでは、SOI層の厚さが10nm程度になるが、本発明を適用すれば、SOI層のシリコンの消費量を少なくして厚いニッケルモノシリサイド膜910を形成できる。例えば、積層膜全体に存在するシリコン原子の総数( $N_{Si}$ )に対するニッケル原子の総数( $N_{Ni}$ )の比( $N_{Ni}/N_{Si}$ )が1.5 ( $N_{Ni}:N_{Si}=1:0.66$ )の条件で膜厚20nmのニッケルモノシリサイド膜910を形成すると、SOI層のシリコンの消費される厚さを約5nmとすることができ、ニッケルモノシリサイド膜910と埋め込み酸化膜層913との距離を十分とることができる。従来のニッケルのみを堆積してアニールする方法では、SOI層のシリコンの消費される厚さを5nmとするには、ニッケルモノシリサイド膜の厚さは約6nmとなってしまう、本発明によって膜厚20nmのニッケルモノシリサイド膜910を形成した場合よりも、シート抵抗値が3倍以上になってしまう。したがって、SOI基板上的MOSトランジスタにおいて、ニッケルモノシリサイド膜910が埋め込み酸化膜層913まで達してMOSトランジスタの特性が劣化するという現象を防ぐとともに、従来法を用いた場合よりもトランジスタ特性を向上させることができる。

また、前述の第三の実施の形態で説明したように、ニッケル層とシリコン層との積層膜の形成に代えて、ニッケルとシリコンとを共析(co-deposition)させた後に上記シリサイド反応させてニッケルシリサイド膜を形成してもよい。

更に、前述の第1の実施の形態で説明したように、前記第2の基板温度での熱処理の前に予備的な低温での熱処理を行っても良い。また、前述の第4の実施の形態で説明したように、予備的な低温での熱処理により得られる半導体領域上及び絶縁体領域上での結晶性の相異を利用して自己整合的にエッチングしたのち、前記第2の基板温度で熱処理を行うことでシリサイド反応を引起こすことも可能である。

## <第7実施形態>

次に、本願の第7実施形態である半導体装置の製造方法について説明する。本発

明を、歪のかかったシリコンまたは歪のかかったシリコン・ゲルマニウム混晶をチャネルとするMOSトランジスタに適用することも可能である。図13は、本発明の第7の実施の形態において、上記第4乃至第6の実施形態と同様の方法により、歪のかかったシリコン層に形成されたMOSトランジスタを示す部分縦断面図である。

図13では、シリコン基板101上にシリコン・ゲルマニウム層115が形成され、シリコン・ゲルマニウム層115上に形成されたシリコン層に歪シリコンチャネル層114とソース・ドレイン領域106が形成されている。

ここで、シリコン・ゲルマニウム層115のシリコン・ゲルマニウムは歪が緩和しており、この上に形成された歪シリコンチャネル層114とソース・ドレイン領域106を含むシリコン層は、歪緩和のシリコン・ゲルマニウム層115にエピタキシャル成長しているために歪がかかっている。歪シリコンチャネルを持つMOSトランジスタでは、シリコン層に歪をかけるために歪シリコンチャネル層114は非常に薄くしなければならない。歪シリコンチャネル層114とソース・ドレイン領域106を含むシリコン層の厚さは10nm程度である。したがって、本発明を適用すれば、上記第6実施形態で示したのと同じようにニッケルモノシリサイド膜110がシリコン・ゲルマニウム層115に達するのを防ぐことができるとともに、歪シリコン層のシリコン消費量が少ないことから、シリサイド化の際にソース・ドレイン領域106および歪チャネル領域114の歪が緩和してしまうことを防ぐことができる。

ニッケルモノシリサイド膜110がシリコン・ゲルマニウム層115に達してしまうと、シリコン・ゲルマニウム層115を通して電流がリークしてしまう。また、歪チャネル領域の歪が緩和してしまうと、歪チャネルを用いたことによるMOSトランジスタの性能向上がはかれなくなってしまう。したがって、本発明を歪チャネルMOSトランジスタに適用することによって、トランジスタの特性劣化を防ぎ、歪チャネルMOSトランジスタの本来の特性を十分に引き出すことができる。なお、

図13において、符号102は素子分離領域、符号103はゲート絶縁膜、符号104は多結晶シリコンよりなるゲート電極、符号105はゲートサイドウォールである。

また、前述の第三の実施の形態で説明したように、ニッケル層とシリコン層との積層膜の形成に代えて、ニッケルとシリコンとを共析 (co-deposition) させた後に上記シリサイド反応させてニッケルシリサイド膜を形成してもよい。

更に、前述の第1の実施の形態で説明したように、前記第2の基板温度での熱処理の前に予備的な低温での熱処理を行っても良い。また、前述の第4の実施の形態で説明したように、予備的な低温での熱処理により得られる半導体領域上及び絶縁体領域上での結晶性の相異を利用して自己整合的にエッチングしたのち、前記第2の基板温度で熱処理を行うことでシリサイド反応を引起こすことも可能である。

#### <第8実施形態>

次に、本願の第8実施形態である半導体装置の製造方法について説明する。メタルゲートのMOSFETに本発明を適用することも可能である。図14A乃至図14Dは、本発明の第8実施形態に係るシリコン基板上のMOSトランジスタのソース・ドレイン領域とメタルゲート電極にニッケルモノシリサイドを主成分とするニッケルシリサイド膜を自己整合的に形成する方法の一例に係る各工程を示す部分縦断面図である。

先ず、図14Aに示すように、素子分離領域202が形成されたシリコン基板201上に、ゲート絶縁膜203及びゲート電極(金属)204を積層してから、シリコン酸化膜またはシリコン窒化膜からなるキャップ層205を積層する。その後、リソグラフィーとドライエッチングによってゲート構造を形成する。ここで、キャップ層205については、シリコン酸化膜またはシリコン窒化膜のように、後から積層するニッケルおよびシリコンと反応せずに尚且つニッケルモノシリサイドをエッチングする際のエッチング液でエッチングされない膜ならば良い。

次に、全体にシリコン酸化膜を形成し、ドライエッチングによって、図14Bに示すようなゲート側壁（ゲートサイドウォール）206を形成する。ゲート電極204上には、図14Aで形成したキャップ層205を残す。

次に、図14Cに示すようなニッケルとシリコンの積層膜208を、上述した各実施形態と同様の方法で形成する。その後、図14Dに示すように、アニール後にエッチングを行なうことにより、ソース・ドレイン領域207にのみニッケルモノシリサイド（NiSi）層209が形成される。この後、ゲート電極204上のキャップ層205は、ゲート電極204にコンタクトを形成する際にエッチングによって除去される。

また、前述の第三の実施の形態で説明したように、ニッケル層とシリコン層との積層膜の形成に代えて、ニッケルとシリコンとを共析（co-deposition）させた後に上記シリサイド反応させてニッケルシリサイド膜を形成してもよい。

更に、前述の第1の実施の形態で説明したように、前記第2の基板温度での熱処理の前に予備的な低温での熱処理を行っても良い。また、前述の第4の実施の形態で説明したように、予備的な低温での熱処理により得られる半導体領域上及び絶縁体領域上での結晶性の相異を利用して自己整合的にエッチングしたのち、前記第2の基板温度で熱処理を行うことでシリサイド反応を引起こすことも可能である。

#### （実施例）

以下、実施例により本発明を更に具体的に説明する。

製膜装置として分子線エピタキシー（MBE）装置を用い、シリコンの（100）単結晶基板上に、第1の基板温度50℃で、先ずニッケル層を形成した後、シリコン層、ニッケル層の順に交互にそれぞれ5層積層した。その後、同じMBE装置を用いた真空雰囲気内で、第2の基板温度400℃で30分間の熱処理を行なってシリサイド反応を行った。下記の表1は、ニッケル層の厚さとシリコン層の厚さを変化させたときのそれぞれの膜厚と、熱処理後に得られたニッケルシリサイド膜の

シート抵抗値とを示している。なお、上述したように、NiとSiの原子量と比重から計算すると、全Si厚／全Ni厚が1.79のときにちょうどNi原子数とSi原子数が1：1となる。

表1

試料	Ni層の厚さ (nm)	Si層の厚さ (nm)	積層回数 (回)	熱処理温度 (℃)	シート抵抗値 ( $\Omega/\text{sq.}$ )
A	2	5	5	400	38
B	2	2.5	5	400	9.7
C	2	2	5	400	9.5

\*)  $\Omega/\text{sq.} = \Omega/\text{cm}^2$

表1に示したように、試料AではNi層の厚さが2nmでSi層の厚さが5nmであるので、Si厚／Ni厚＝2.5となり、原子数で比較するとSi原子のほうがNi原子よりも過剰になっている。この場合には、良好なニッケルモノシリサイドを有するニッケルシリサイド膜ができておらず、シート抵抗値が高いニッケルダイシリサイドを有するニッケルシリサイド膜が形成された。

これに対して、試料Bでは、Ni層の厚さが2nmでSi層の厚さが2.5nmであるので、Si厚／Ni厚＝1.25となり、原子数で比較するとNi原子の方がSi原子よりも過剰になっている。また、試料Cにおいても、Ni層の厚さが2nmでSi層の厚さが2nmであるので、Si厚／Ni厚＝1となり、原子数で比較するとNi原子の方がSi原子よりも過剰になっている。これらの場合には、抵抗値の低い良好なニッケルモノシリサイドが生成されるので、低いシート抵抗値が得られた。また、試料Bおよび試料Cのニッケルシリサイド膜を測定し、その膜厚と表1のシート抵抗値とから抵抗率を計算した結果、約14～17 $\mu\Omega\text{cm}$ となった。この抵抗率の結果からも、良好なニッケルモノシリサイドからなるニッケルシリサイド膜が形成されていることが確認された。さらに、X線回折測定や透過電子

顕微鏡観察による評価結果からも、試料Bと試料Cは良好なニッケルモノシリサイド膜が形成されていることが確認された。

本実施例において、例えば試料Cでは、ニッケルモノシリサイドからなるニッケルシリサイド膜の厚さは透過電子顕微鏡での観察結果から約18 nmであった。このとき、消費ファクター：0.82を用いて計算すると、試料Cでは、約15 nmの膜厚に相当するシリコン原子が消費されたことになる。試料Cにおいて、堆積したシリコン層の厚さはトータルで10 nmであり、このシリコン原子がすべて反応してニッケルモノシリサイドになると想定されるので、シリサイド反応に消費されたシリコン原子のうち、シリコン基板のシリコンに由来するものは、5 nmの厚さに相当する。したがって、本実施例では、従来よりも基板シリコンの消費量を少なくして、ニッケルモノシリサイドからなる十分な厚さのニッケルシリサイド膜を形成できることが確認できた。

こうした結果は、今後の最先端のCMOSにおけるより一層の薄膜化に対応することを可能にさせる。すなわち、最先端のCMOSでは、コンタクト形成領域のソース・ドレインの深さが20 nm程度となることが予測されている。しかしながら、従来のニッケルとシリコン基板のみとを反応させる方法では、トランジスタ特性を劣化させないために、シリサイド反応の際に消費されるシリコン基板の厚さをソース・ドレインの深さの半分以下すなわち10 nm以下にしなければならず、そのため、ニッケルモノシリサイドの厚さもニッケルモノシリサイドの消費ファクターが約0.82であることから12 nm以下となってしまう。従って、ジャンクションリーク特性を低下させないで低抵抗化できるための十分に厚いニッケルモノシリサイドからなるニッケルシリサイド膜を生成することが困難であった。しかしながら、この実施例における試料Cおよび試料Bにおいては、上述したように、ニッケルモノシリサイドからなる十分な厚さのニッケルシリサイド膜を形成できるので、最先端のCMOSにも十分に対応でき、その効果が期待できる。

以上説明したように、本発明のニッケルシリサイド膜の形成方法および半導体装

置の製造方法によれば、基板のシリコン原子の消費量が少なく、なおかつ十分な厚さを持った低抵抗のニッケルシリサイド膜の形成方法を提供することができ、これによりMOSトランジスタの高性能化が図れる。また、本発明を基板表面がシリコン・ゲルマニウム混晶層および多結晶シリコン・ゲルマニウム層である場合に適用すれば、基板のシリコン原子およびゲルマニウム原子の消費量が少ないだけでなく、従来のニッケルだけを堆積して反応させる場合よりも低抵抗の膜を得ることができる。また、本発明をSOI基板およびSGOI基板に適用することにより、ニッケルシリサイド膜が埋め込み酸化膜層まで達してMOSトランジスタの特性が劣化するという現象を防ぐことができる。

また、本発明を、表面の半導体層が歪のかかったシリコンまたは歪のかかったシリコン・ゲルマニウム層により構成される歪チャネルMOSトランジスタに適用することによって、ニッケルモノシリサイド膜がシリコン・ゲルマニウム層に達してしまうのを防ぐとともに、ニッケルモノシリサイド膜を形成する際のチャネル部分の歪の緩和を抑制することができる。これによって、歪チャネルMOSトランジスタの性能劣化を防ぎ、歪チャネルMOSトランジスタの本来の特性を十分に引き出すことができる。

本発明の半導体装置の製造方法によれば、積層膜をシリサイド反応させた後にエッチングすることにより、絶縁膜領域上のニッケルシリサイド膜だけを選択的にエッチングすることができるので、ニッケルモノシリサイド膜を有する半導体装置の製造の効率化を図ることができる。

本発明のニッケルシリサイド膜のエッチング方法によれば、ニッケルリッチなニッケルシリサイド膜だけを選択的にエッチングすることができるので、効率的なエッチングプロセスを実現することができる。

#### 産業上の利用の可能性

本発明は、低抵抗率のニッケルモノシリサイドを厚く形成する方法、その方法を



利用した半導体装置の製造方法、およびニッケルシリサイド膜のうちニッケルリッチなシリサイド膜を選択エッチングする方法に関するものであれば、あらゆるものに適用することが可能であり、その利用の可能性において何ら限定するものではない。

幾つかの好適な実施の形態及び実施例に関連付けして本発明を説明したが、これら実施の形態及び実施例は単に実例を挙げて発明を説明するためのものであって、限定することを意味するものではないことが理解できる。本明細書を読んだ後であれば、当業者にとって等価な構成要素や技術による数多くの変更および置換が容易であることが明白であるが、このような変更および置換は、添付の請求項の真の範囲及び精神に該当するものであることは明白である。

## 請求の範囲

1. 基板上にシリサイド反応を起こさない第1の基板温度でシリコンとニッケルとを含む層構造体を形成する工程と、ニッケルモノシリサイド反応を起す第2の基板温度で前記層構造体を熱処理することでニッケルモノシリサイドを生成するシリサイド反応工程とを含むニッケルシリサイド膜の形成方法であって、

前記層構造体形成工程において、前記層構造体全体に存在するシリコン原子総数 ( $N_{Si}$ ) に対するニッケル原子総数 ( $N_{Ni}$ ) の比 ( $N_{Ni}/N_{Si}$ ) が1以上であるニッケルシリサイド膜の形成方法。

2. 前記層構造体形成工程は、ニッケルとシリコンとを共析させる工程からなる請求項1に記載のニッケルシリサイド膜の形成方法。

3. 前記層構造体形成工程は、少なくとも1層のニッケル層と少なくとも1層のシリコン層とを交互に積層する工程からなる請求項1に記載のニッケルシリサイド膜の形成方法。

4. 前記層構造体に含まれる各シリコン層のシリコン原子数に対する前記層構造体に含まれる各ニッケル層のニッケル原子数の比が、前記層構造体全体に存在するシリコン原子総数に対するニッケル原子総数の前記比と等しくなるように積層させる請求項3に記載のニッケルシリサイド膜の形成方法。

5. 前記層構造体全体に存在するシリコン原子総数 ( $N_{Si}$ ) に対するニッケル原子総数 ( $N_{Ni}$ ) の前記比 ( $N_{Ni}/N_{Si}$ ) が1よりも大きく、4以下である請求項1に記載のニッケルシリサイド膜の形成方法。

6. 前記ニッケルモノシリサイドが、前記ニッケルシリサイド膜中に50%以上存在している請求項1に記載のニッケルシリサイド膜の形成方法。
7. 前記基板の最表面に、単結晶シリコン、多結晶シリコン、歪みのかかったシリコン、単結晶シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウムおよび歪みのかかったシリコン・ゲルマニウムよりなる群から選択される少なくとも1つの半導体の領域が含まれる請求項1に記載のニッケルシリサイド膜の形成方法。
8. 前記基板が、シリコン基板、SOI基板およびSGOI基板のいずれか1つである請求項1に記載のニッケルシリサイド膜の形成方法。
9. 前記層構造体形成工程において形成される前記層構造体はアモルファス状態である請求項1に記載のニッケルシリサイド膜の形成方法。
10. 前記層構造体形成工程において積層される前記シリコン層及び前記ニッケル層の各厚さは、2nm-10nmの範囲である請求項3に記載のニッケルシリサイド膜の形成方法。
11. 前記基板の主面の面方位は(111)面以外の面である請求項1に記載のニッケルシリサイド膜の形成方法。
12. 前記層構造体形成工程の後であって且つ前記シリサイド反応工程の前に、前記第2の基板温度より低い温度で予備的な熱処理を行う工程を更に含む請求項1に記載のニッケルシリサイド膜の形成方法。

13. 基板上の少なくとも1つの半導体領域上および少なくとも1つの絶縁体領域上に亘り形成され且つ前記半導体領域上と前記絶縁体領域上とで組成が異なるニッケルシリサイド膜のうち、前記絶縁体領域上に位置するニッケルリッチ領域をエッチングするエッチング方法であって、

前記ニッケルリッチ領域は、シリコン原子の数 ( $N_{Si}$ ) に対するニッケル原子の数 ( $N_{Ni}$ ) の比 ( $N_{Ni}/N_{Si}$ ) が1.11より大きいエッチング方法。

14. 前記半導体領域上に位置するニッケルシリサイド膜の領域はニッケルモノシリサイドからなり、前記絶縁体領域上に位置するニッケルシリサイド膜の領域はニッケルリッチなニッケルシリサイドからなる請求項13に記載のエッチング方法。

15. 前記半導体領域が、単結晶シリコン、多結晶シリコン、歪みのかかったシリコン、単結晶シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウムおよび歪みのかかったシリコン・ゲルマニウムよりなる群から選択される少なくとも1つの半導体を含む請求項13に記載のエッチング方法。

16. 前記絶縁体領域が、酸化シリコンおよび窒化シリコンのうち少なくともいずれか1つを含む請求項13に記載のエッチング方法。

17. 前記ニッケルシリサイド膜は、シリサイド反応を起こさない第1の基板温度で少なくとも1層のニッケル層と少なくとも1層のシリコン層とを交互に積層することで積層膜を形成する工程と、ニッケルモノシリサイド反応を起す第2の基板温度で前記積層膜を熱処理するシリサイド反応工程とで形成する請求項13に記載のエッチング方法。

18. 前記積層膜形成工程において積層される前記シリコン層はアモルファス状態である請求項17に記載のエッチング方法。

19. 前記積層膜形成工程において積層される前記シリコン層及び前記ニッケル層の各厚さは、2 nm－10 nmの範囲である請求項17に記載のエッチング方法。

20. 前記ニッケルシリサイド膜は、ニッケルとシリコンとを共析させる工程と、ニッケルモノシリサイド反応を起す第2の基板温度で熱処理するシリサイド反応工程とで形成する請求項13に記載のエッチング方法。

21. 前記基板が、シリコン基板、SOI基板およびSGOI基板のうちいずれか1つである請求項13に記載のエッチング方法。

22. 前記基板の主面の面方位は(111)面以外の面である請求項13に記載のエッチング方法。

23. 基板上の少なくとも1つの半導体領域上および少なくとも1つの絶縁体領域上に亘り形成され且つ前記半導体領域上と前記絶縁体領域上とで組成が異なるニッケルシリサイド膜のうち、前記絶縁体領域上に位置するニッケルリッチ領域をエッチングするエッチング方法であって、

前記ニッケルリッチ領域は、そのX線回折パターンが $\text{Ni}_2\text{Si}$ の回折ピークを有するエッチング方法。

24. 前記半導体領域上に位置するニッケルシリサイド膜の領域はニッケルモノシリサイドからなり、前記絶縁体領域上に位置するニッケルシリサイド膜の領域はニッケルリッチなニッケルシリサイドからなる請求項23に記載のエッチング方法。

25. 前記半導体領域が、単結晶シリコン、多結晶シリコン、歪みのかかったシリコン、単結晶シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウムおよび歪みのかかったシリコン・ゲルマニウムよりなる群から選択される少なくとも1つの半導体を含む請求項23に記載のエッチング方法。

26. 前記絶縁体領域が、酸化シリコンおよび窒化シリコンのうち少なくともいずれか1つを含む請求項23に記載のエッチング方法。

27. 前記ニッケルシリサイド膜は、シリサイド反応を起こさない第1の基板温度で少なくとも1層のニッケル層と少なくとも1層のシリコン層とを交互に積層することで積層膜を形成する工程と、ニッケルモノシリサイド反応を起す第2の基板温度で前記積層膜を熱処理するシリサイド反応工程とで形成する請求項23に記載のエッチング方法。

28. 前記積層膜形成工程において積層される前記シリコン層はアモルファス状態である請求項27に記載のエッチング方法。

29. 前記積層膜形成工程において積層される前記シリコン層及び前記ニッケル層の各厚さは、2nm-10nmの範囲である請求項27に記載のエッチング方法。

30. 前記ニッケルシリサイド膜は、ニッケルとシリコンを共析させる工程と、ニッケルモノシリサイド反応を起す第2の基板温度で熱処理するシリサイド反応工程とで形成する請求項23に記載のエッチング方法。

31. 前記基板が、シリコン基板、SOI基板およびSGOI基板のうちいずれか1つである請求項23に記載のエッチング方法。

32. 前記基板の主面の面方位は(111)面以外の面である請求項23に記載のエッチング方法。

33. 基板上の少なくとも1つの半導体領域上および少なくとも1つの絶縁体領域上に亘り、シリサイド反応を起こさない第1の基板温度でシリコンとニッケルとを含む層構造体を形成する工程と、ニッケルモノシリサイド反応を起す第2の基板温度で前記層構造体を熱処理することで、ニッケルモノシリサイドを含み且つ前記半導体領域上と前記絶縁体領域上とで組成が異なるニッケルシリサイド膜を形成するシリサイド反応工程とを含む半導体装置の製造方法であって、

前記層構造体形成工程において、前記層構造体全体に存在するシリコン原子総数( $N_{Si}$ )に対するニッケル原子総数( $N_{Ni}$ )の比( $N_{Ni}/N_{Si}$ )が1以上である半導体装置の製造方法。

34. 前記シリサイド反応工程後における半導体領域上のニッケルシリサイドがニッケルモノシリサイドであり、前記シリサイド反応工程後における絶縁体領域上のニッケルシリサイドがニッケルリッチのニッケルシリサイドである請求項33に記載の半導体装置の製造方法。

35. 前記ニッケルシリサイド膜の前記絶縁体領域上に位置する前記ニッケルリッチ領域のみをエッチングにより除去するエッチング工程を更に含むことでニッケルシリサイド膜を前記半導体領域上のみに自己整合的に形成する請求項33に記載の半導体装置の製造方法。
36. 前記層構造体形成工程は、ニッケルとシリコンとを共析させる工程からなる請求項33に記載の半導体装置の製造方法。
37. 前記層構造体形成工程は、少なくとも1層のニッケル層と少なくとも1層のシリコン層とを交互に積層する工程からなる請求項33に記載の半導体装置の製造方法。
38. 前記半導体領域が、単結晶シリコン、多結晶シリコン、歪みのかかったシリコン、単結晶シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウムおよび歪みのかかったシリコン・ゲルマニウムよりなる群から選択される少なくとも1つの半導体を含む請求項33に記載の半導体装置の製造方法。
39. 前記絶縁体領域が、酸化シリコンおよび窒化シリコンの少なくともいずれか1つを含む請求項33に記載の半導体装置の製造方法。
40. 前記基板が、シリコン基板、SOI基板およびSGOI基板のいずれか1つである請求項33に記載の半導体装置の製造方法。
41. 前記層構造体形成工程において形成される前記層構造体はアモルファス状態である請求項33に記載の半導体装置の製造方法。



4 2. 前記層構造体形成工程において積層される前記シリコン層及び前記ニッケル層の各厚さは、2 nm－10 nmの範囲である請求項37に記載の半導体装置の製造方法。

4 3. 前記基板の主面の面方位は（1 1 1）面以外の面である請求項33に記載の半導体装置の製造方法。

4 4. 前記層構造体形成工程の後であって且つ前記シリサイド反応工程の前に、前記第2の基板温度より低い温度で予備的な熱処理を行う工程を更に含む請求項33に記載の半導体装置の製造方法。

4 5. 前記予備的な熱処理の後であって且つ前記シリサイド反応工程の前に、前記層構造体であって前記絶縁体領域上に位置する結晶性がより低くアモルファス状態により近い領域のみをエッチングにより除去するエッチング工程を更に含むことで、前記層構造体であって前記半導体領域上に残存した領域のみを前記シリサイド反応工程で熱処理することで前記半導体領域上にのみニッケルシリサイド膜を自己整合的に形成する請求項44に記載の半導体装置の製造方法。

4 6. 基板上の少なくとも1つの半導体領域上および少なくとも1つの絶縁体領域上に亘り、シリコンとニッケルとを含む層構造体を形成する工程と、シリサイド反応を起す第2の基板温度で前記層構造体を熱処理することで、前記絶縁体領域上でニッケルリッチな組成を有すると共に前記半導体領域上でニッケルモノシリサイドの組成を有するニッケルシリサイド膜を形成するシリサイド反応工程とを含むニッケルシリサイド膜の形成方法であって、

前記ニッケルシリサイド膜のうち前記絶縁体領域上に位置するニッケルリッチ領域は、シリコン原子の数 ( $N_{Si}$ ) に対するニッケル原子の数 ( $N_{Ni}$ ) の比 ( $N_{Ni}/N_{Si}$ ) が 1.11 より大きいニッケルシリサイド膜の形成方法。

47. 前記半導体領域上に位置するニッケルシリサイド膜の領域はニッケルモノシリサイドからなり、前記絶縁体領域上に位置するニッケルシリサイド膜の領域はニッケルリッチなニッケルシリサイドからなる請求項 46 に記載のニッケルシリサイド膜の形成方法。

48. 前記層構造体形成工程は、シリサイド反応を起こさない第 1 の基板温度で少なくとも 1 層のニッケル層と少なくとも 1 層のシリコン層とを交互に積層することで積層膜を形成する工程からなる請求項 46 に記載のニッケルシリサイド膜の形成方法。

49. 前記層構造体形成工程において積層される前記シリコン層はアモルファス状態である請求項 48 に記載のニッケルシリサイド膜の形成方法。

50. 前記層構造体形成工程は、ニッケルとシリコンを共析させる工程からなる請求項 46 に記載のニッケルシリサイド膜の形成方法。

51. 前記層構造体形成工程の後であって且つ前記シリサイド反応工程の前に、前記第 2 の基板温度より低い温度で予備的な熱処理を行う工程を更に含む請求項 46 に記載のニッケルシリサイド膜の形成方法。

5 2. 基板上の少なくとも1つの半導体領域上および少なくとも1つの絶縁体領域上に亘り、シリコンとニッケルとを含む層構造体を形成する工程と、シリサイド反応を起す第2の基板温度で前記層構造体を熱処理することで、前記絶縁体領域上でニッケルリッチな組成を有すると共に前記半導体領域上でニッケルモノシリサイドの組成を有するニッケルシリサイド膜を形成するシリサイド反応工程とを含むニッケルシリサイド膜の形成方法であって、

前記ニッケルシリサイド膜のうち前記絶縁体領域上に位置するニッケルリッチ領域は、そのX線回折パターンが $\text{Ni}_2\text{Si}$ の回折ピークを有するニッケルシリサイド膜の形成方法。

5 3. 前記半導体領域上に位置するニッケルシリサイド膜の領域はニッケルモノシリサイドからなり、前記絶縁体領域上に位置するニッケルシリサイド膜の領域はニッケルリッチなニッケルシリサイドからなる請求項5 2に記載のニッケルシリサイド膜の形成方法。

5 4. 前記層構造体は、シリサイド反応を起こさない第1の基板温度で少なくとも1層のニッケル層と少なくとも1層のシリコン層とを交互に積層することで積層膜を形成する工程からなる請求項5 2に記載のニッケルシリサイド膜の形成方法。

5 5. 前記積層膜形成工程において積層される前記シリコン層はアモルファス状態である請求項5 4に記載のニッケルシリサイド膜の形成方法。

5 6. 前記層構造体は、ニッケルとシリコンを共析させる工程からなる請求項5 2に記載のニッケルシリサイド膜の形成方法。

57. 前記層構造体形成工程の後であって且つ前記シリサイド反応工程の前に、前記第2の基板温度より低い温度で予備的な熱処理を行う工程を更に含む請求項52に記載のニッケルシリサイド膜の形成方法。

58. 基板上にシリサイド反応を起こさない第1の基板温度で少なくとも1層のニッケル層と少なくとも1層のシリコン層とを交互に積層することで積層膜を形成する工程と、ニッケルモノシリサイド反応を起す第2の基板温度で前記積層膜を熱処理することでニッケルモノシリサイドを生成するシリサイド反応工程とを含むニッケルシリサイド膜の形成方法であって、

前記積層膜形成工程において、前記積層膜中に含まれる前記ニッケル層全ての総厚に対する前記積層膜中に含まれる前記シリコン層全ての総厚の比が1.79以下であるニッケルシリサイド膜の形成方法。

59. 前記積層膜形成工程において積層される前記シリコン層はアモルファス状態である請求項58に記載のニッケルシリサイド膜の形成方法。

60. 基板上の少なくとも1つの半導体領域上および少なくとも1つの絶縁体領域上に亘り、シリサイド反応を起こさない第1の基板温度で少なくとも1層のニッケル層と少なくとも1層のシリコン層とを交互に積層することで積層膜を形成する工程と、ニッケルモノシリサイド反応を起す第2の基板温度で前記積層膜を熱処理することで、ニッケルモノシリサイドを含み且つ前記半導体領域上と前記絶縁体領域上とで組成が異なるニッケルシリサイド膜を形成するシリサイド反応工程とを含む半導体装置の製造方法であって、

前記積層膜形成工程において、前記積層膜中に含まれる前記ニッケル層全ての総厚に対する前記積層膜中に含まれる前記シリコン層全ての総厚の比が1.79以下である半導体装置の製造方法。

6 1. 前記ニッケルシリサイド膜の前記絶縁体領域上に位置するニッケルリッチ領域のみをエッチングにより除去するエッチング工程を更に含むことでニッケルシリサイド膜を前記半導体領域上のみに自己整合的に形成する請求項 6 0 に記載の半導体装置の製造方法。

6 2. 前記積層膜形成工程において積層される前記シリコン層はアモルファス状態である請求項 6 0 に記載の半導体装置の製造方法。

6 3. 基板上の少なくとも 1 つの半導体領域上および少なくとも 1 つの絶縁体領域上に亘り、シリサイド反応を起こさない第 1 の基板温度でシリコンとニッケルとを含む層構造体を形成する工程と、前記第 2 の基板温度より低い温度で予備的な熱処理を行うことで前記絶縁体領域上に位置する結晶性がより低くアモルファス状態により近い領域と前記半導体領域上に位置する結晶性がより高い領域とを形成する工程と、前記絶縁体領域上に位置する結晶性がより低くアモルファス状態により近い領域のみをエッチングにより除去するエッチング工程と、ニッケルモノシリサイド反応を起す第 2 の基板温度で前記半導体領域上に残存した結晶性がより高い領域を熱処理することで、前記半導体領域上にのみニッケルシリサイド膜を自己整合的に形成するシリサイド反応工程とを含む半導体装置の製造方法であって、

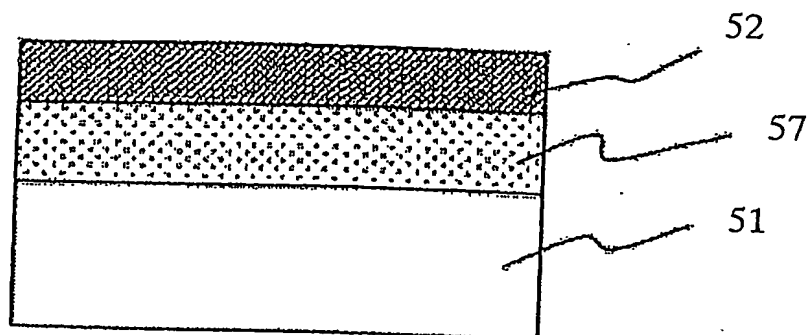
前記層構造体形成工程において、前記層構造体全体に存在するシリコン原子総数 ( $N_{Si}$ ) に対するニッケル原子総数 ( $N_{Ni}$ ) の比 ( $N_{Ni}/N_{Si}$ ) が 1 以上である半導体装置の製造方法。

6 4. 前記層構造体形成工程は、シリサイド反応を起こさない第 1 の基板温度で少なくとも 1 層のニッケル層と少なくとも 1 層のシリコン層とを交互に積層することで積層膜を形成する工程からなる請求項 6 3 に記載の半導体装置の製造方法。

65. 前記層構造体形成工程は、ニッケルとシリコンを共析させる工程からなる請求項63に記載の半導体装置の製造方法。

1/31

図 1A



2/31

図 1B

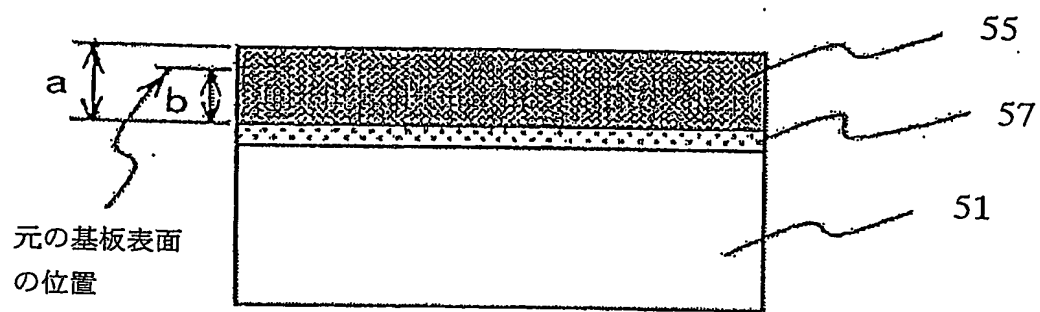
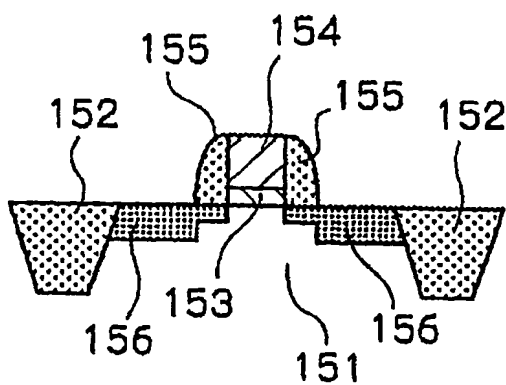


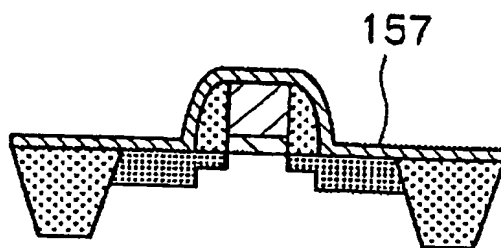


図 2A



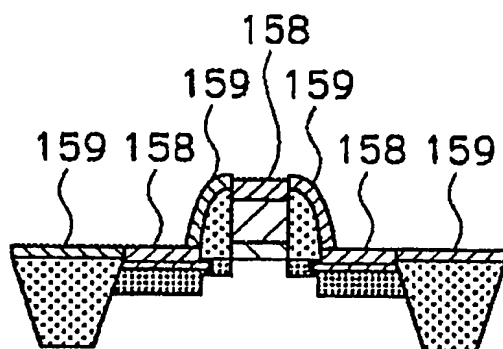
4/31

図 2 B



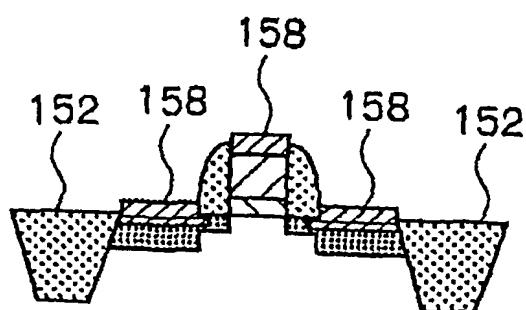
5/31

図 2C



6/31

図 2D



7/31

図 3A

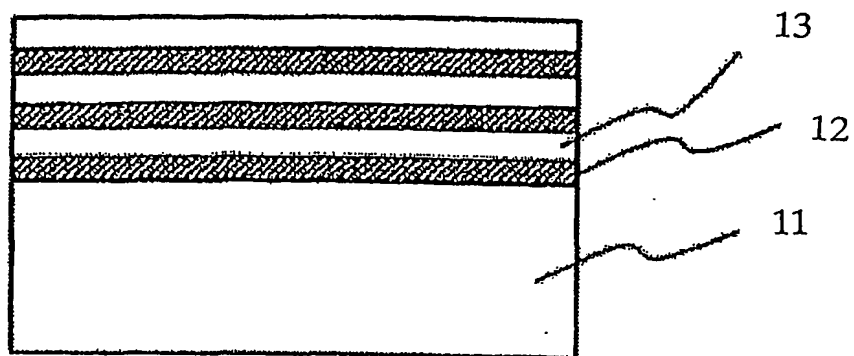


図 3B

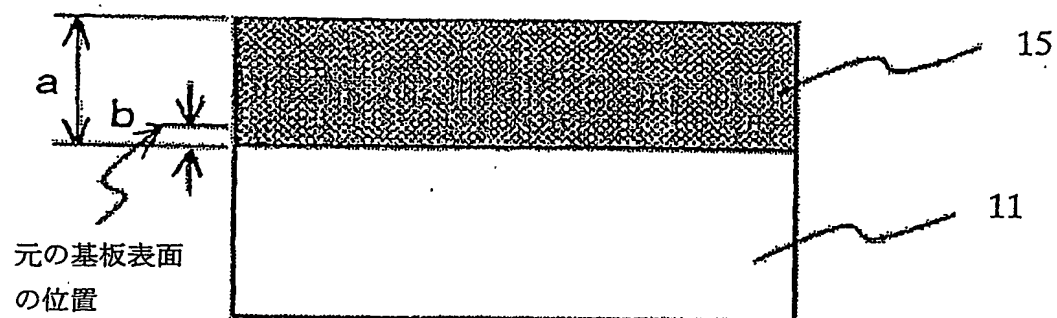
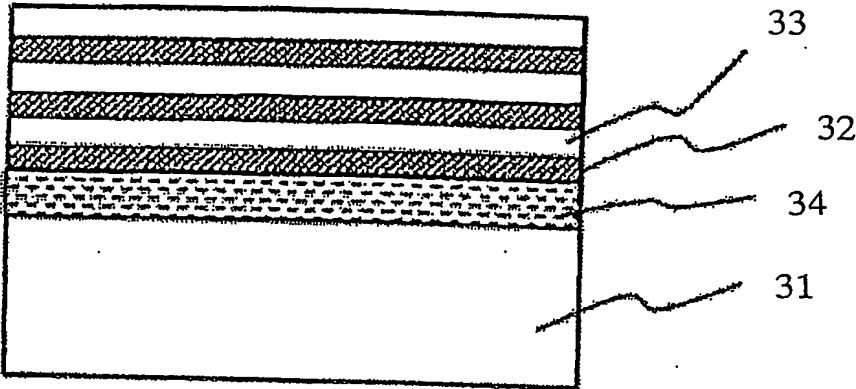
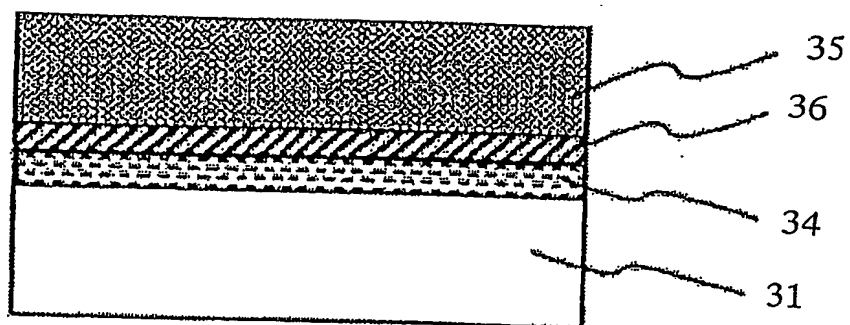


図 4A



10/31

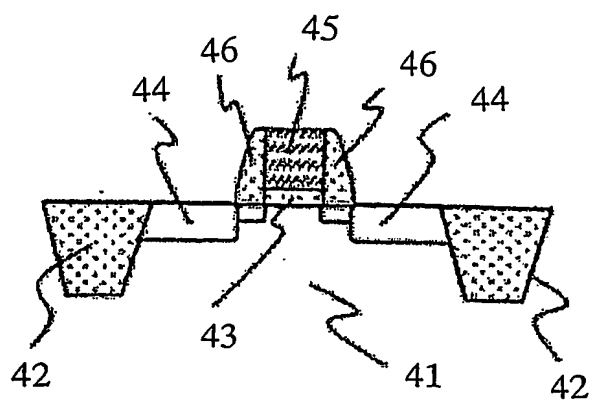
図 4B





11/31

図 5A



12/31

図 5B

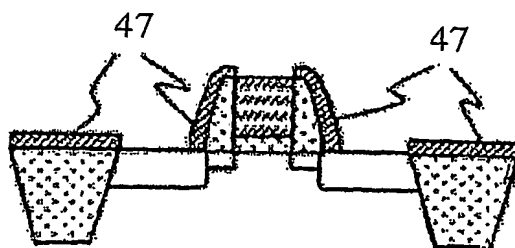
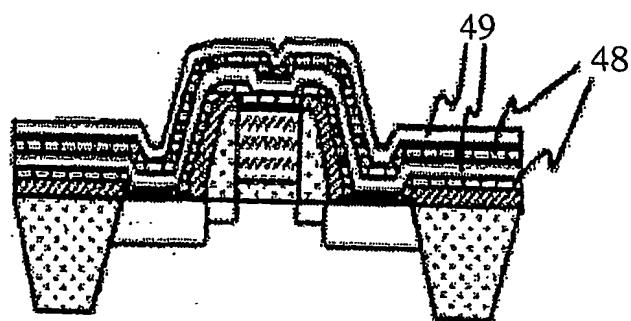
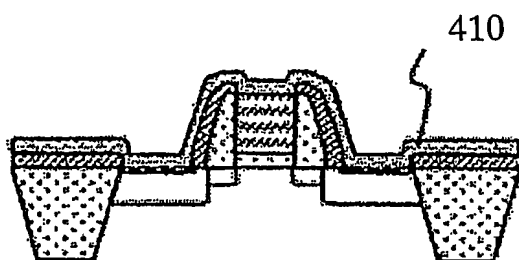


図 5C



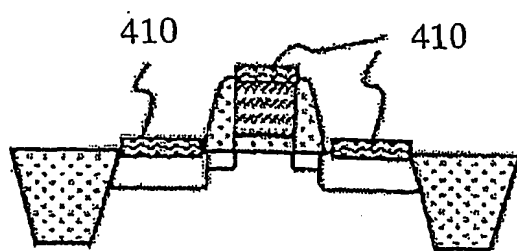
14/31

図 5D



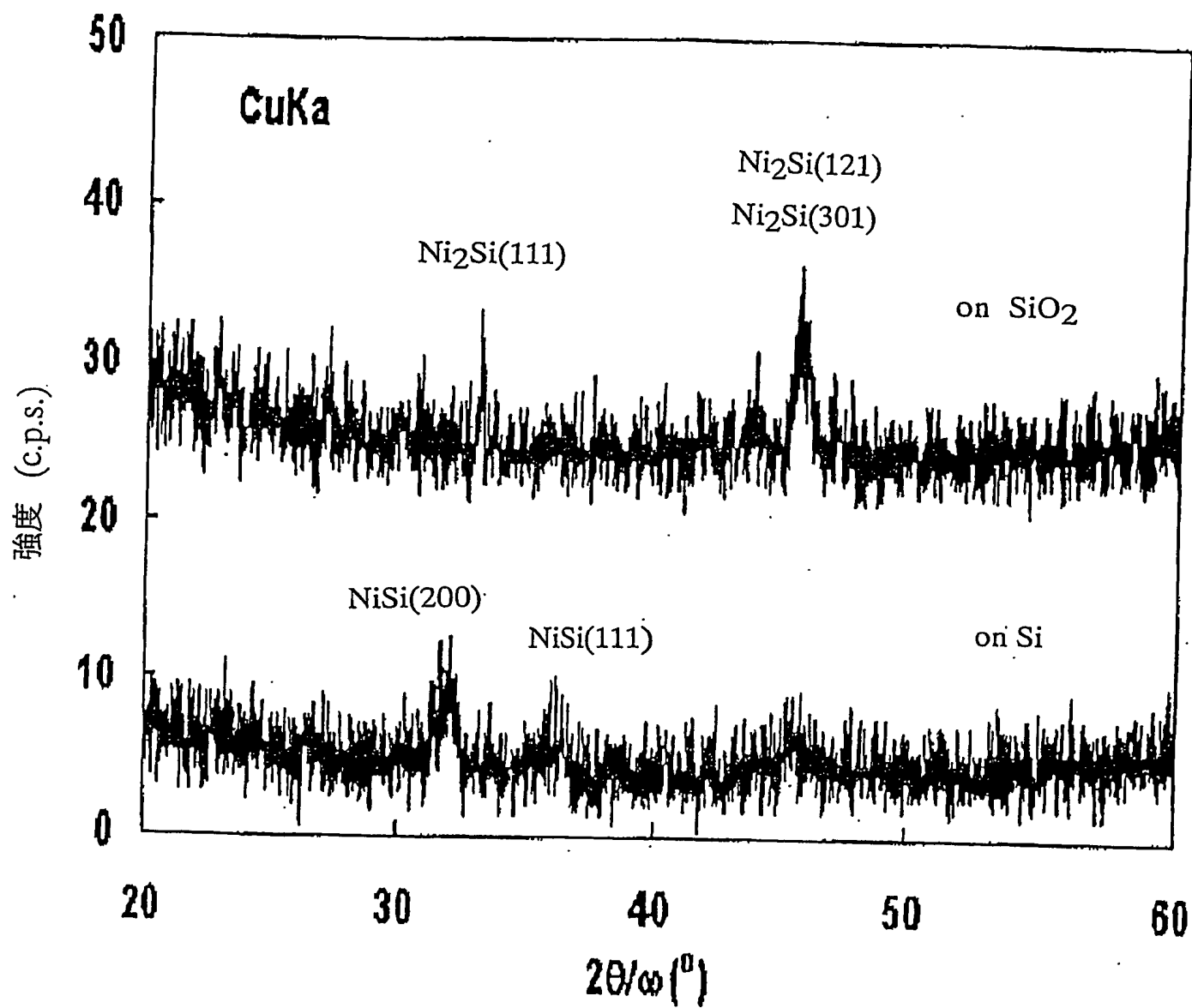
15/31

図 5E



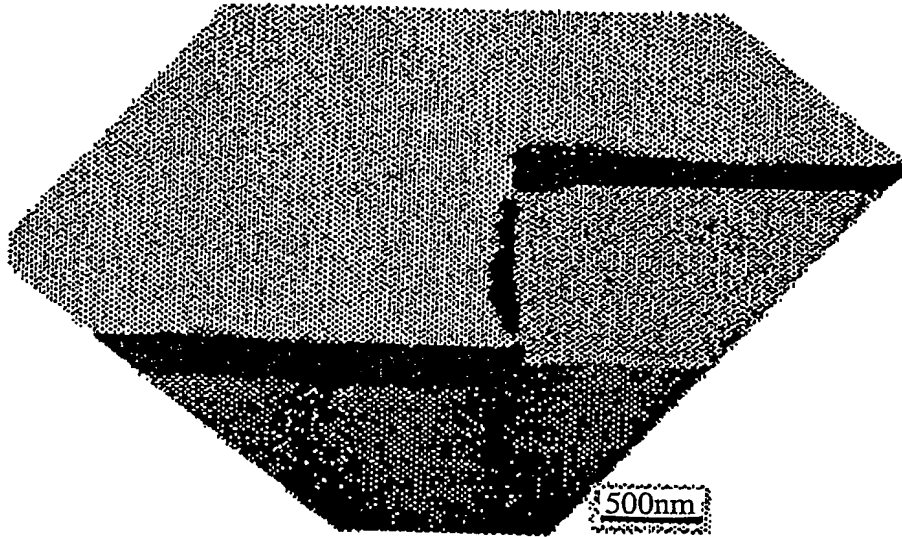
16/31

図 6



17/31

図 7



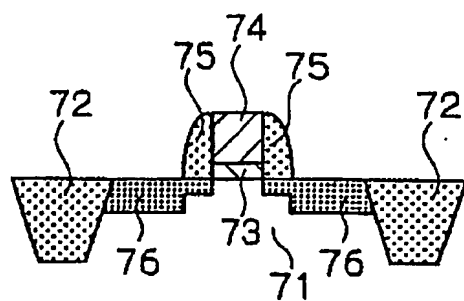
18/31

図 8



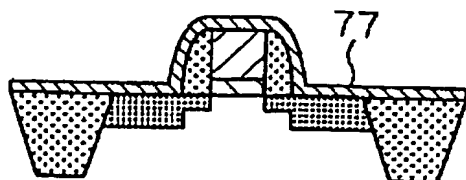


図 9A



20/31

図 9B



21/31

図 9C

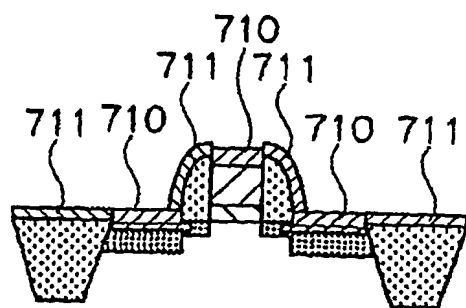


図 9D

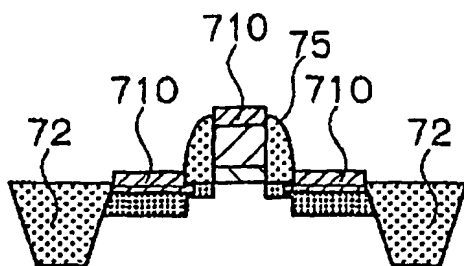


図 10

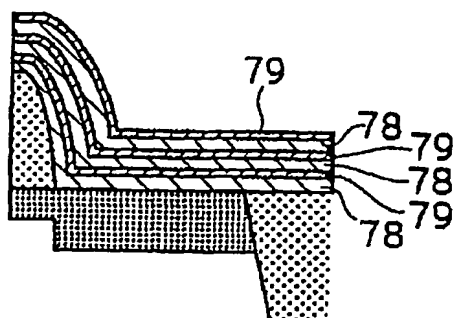


図 11A

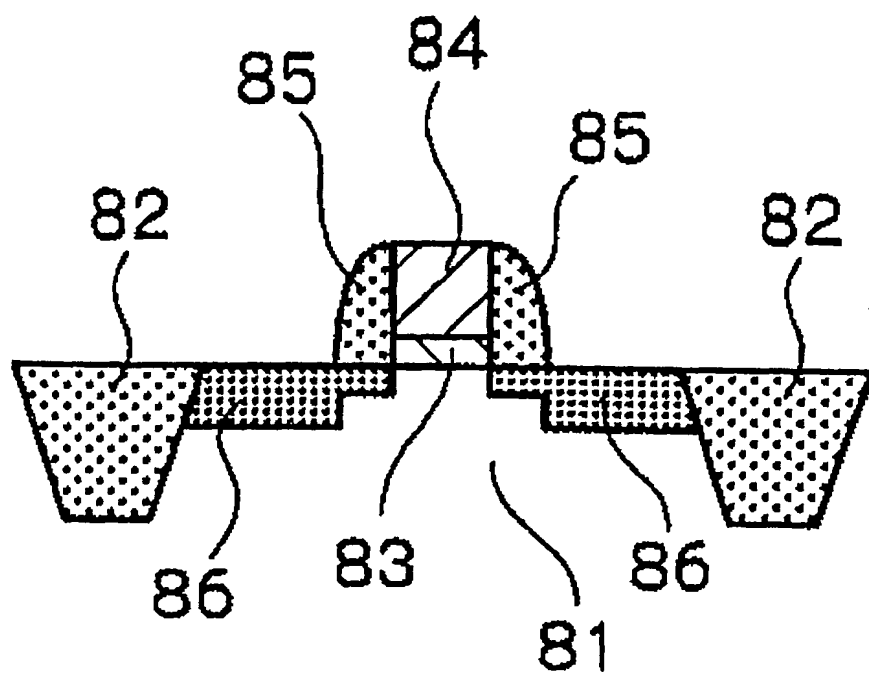


図 11B

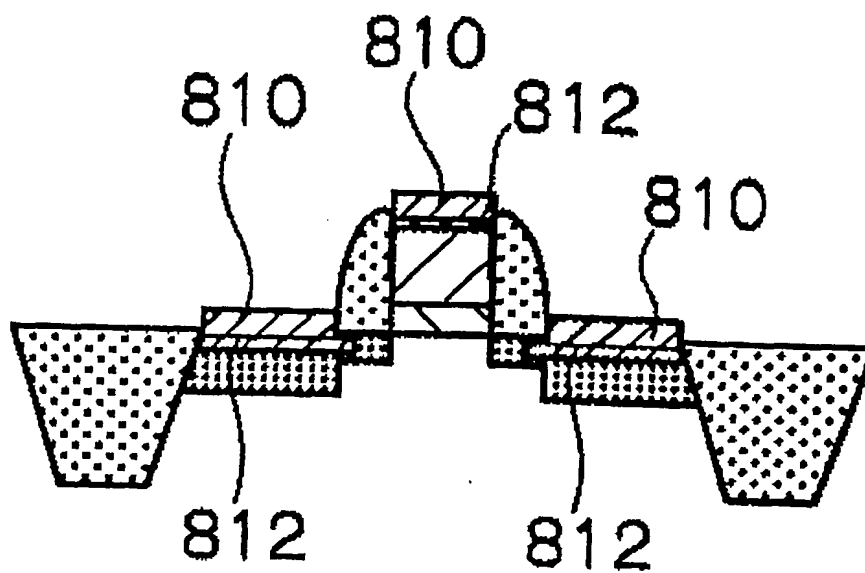


図 12

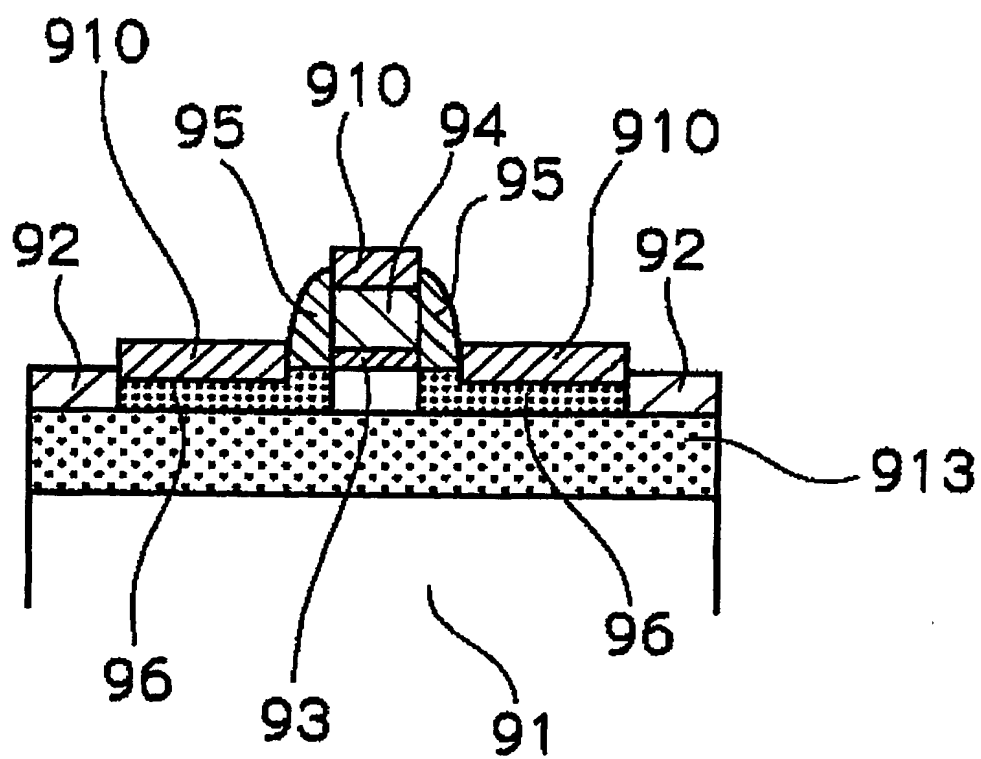




图 13

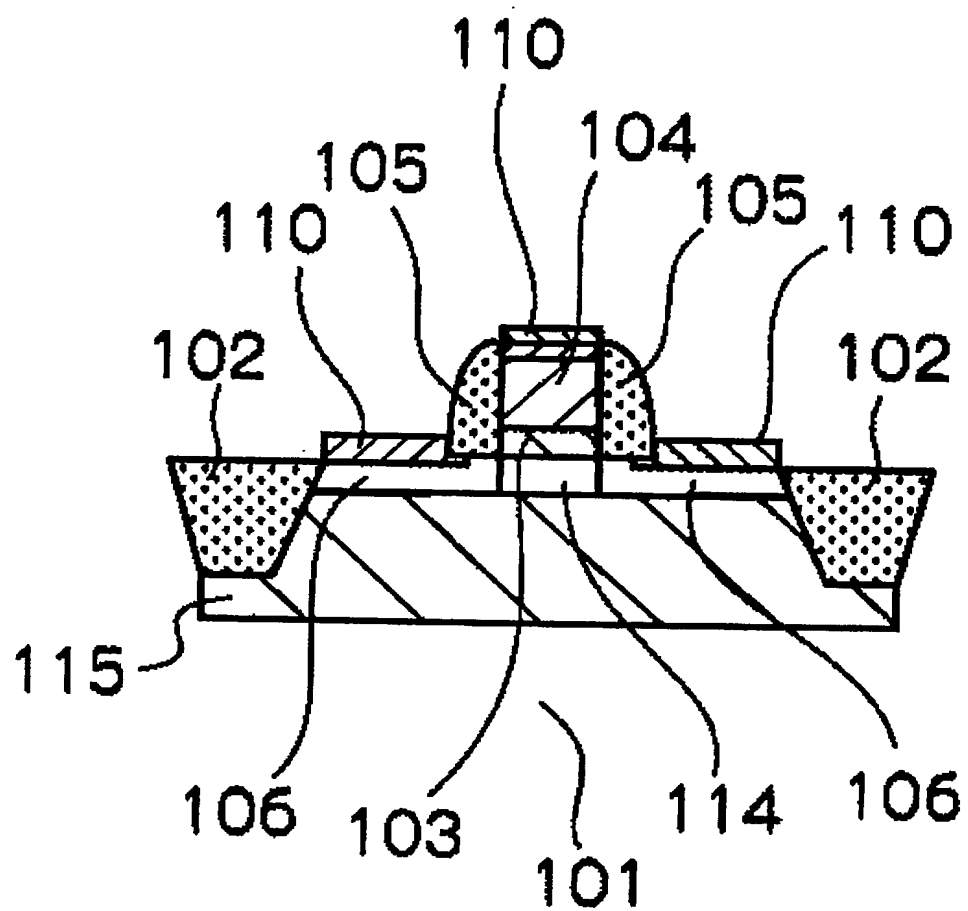


図 14A

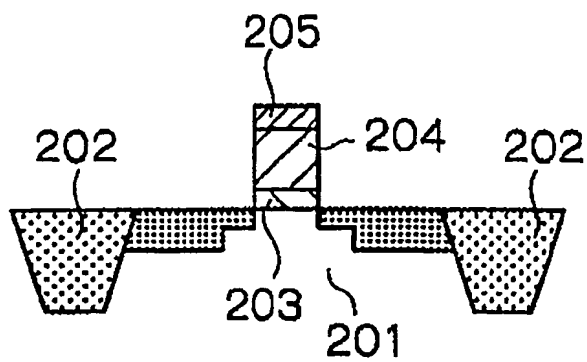
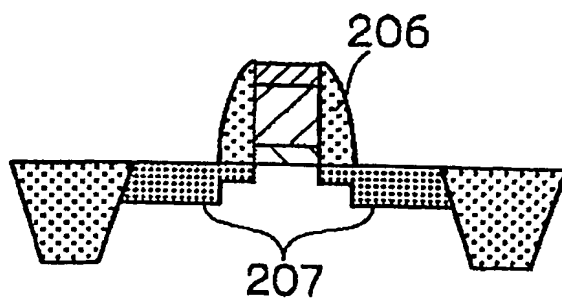


図 14B



30/31

図 14C

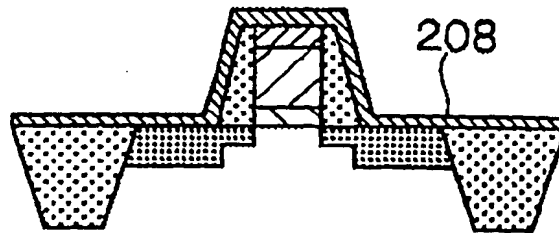
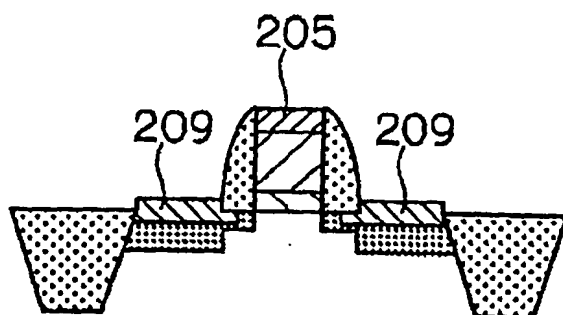


図 14D



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/001315

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01L21/28

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L21/28-288, H01L29/40-51, H01L29/78-786,  
H01L21/336, H01L21/306

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-74222 A (Sony Corp.), 16 March, 1999 (16.03.99), Full text; Figs. 1 to 7 (Family: none)	1-2, 5-9, 11, 13-16, 20-26, 31-36, 38-41, 43, 46-47, 50, 52-53, 56, 58-62
Y		3-4, 10, 12, 17-19, 27-30, 37, 42, 44, 48-49, 51, 54-55, 57
A		45, 63-65

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier application or patent but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
23 April, 2004 (23.04.04)

Date of mailing of the international search report  
18 May, 2004 (18.05.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/001315

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 62-101049 A (International Business Machines Corp.), 11 May, 1987 (11.05.87), Full text; Figs. 1A to 3 & US 4663191 A & EP 219827 A2	1-44,46-62 45,63-65
Y A	JP 61-212017 A (Director General, Agency of Industrial Science and Technology), 20 September, 1986 (20.09.86), Full text; Figs. 1 to 3 (Family: none)	1-44,46-62 45,63-65
Y A	JP 62-111420 A (Director General, Agency of Industrial Science and Technology), 22 May, 1987 (22.05.87), Full text; Figs. 1 to 3 & US 5047111 A	1-44,46-62 45,63-65
Y A	JP 11-209872 A (NEC Corp.), 03 August, 1999 (03.08.99), Full text; Figs. 1 to 5 (Family: none)	1-44,46-62 45,63-65
Y A	JP 2000-299473 A (Sharp Corp.), 24 October, 2000 (24.10.00), Full text; Figs. 1 to 16 (Family: none)	1-44,46-62 45,63-65

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl<sup>7</sup> H01L21/28

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl<sup>7</sup> H01L21/28-288, H01L29/40-51, H01L29/78-786,  
H01L21/336, H01L21/306

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2004年  
 日本国登録実用新案公報 1994-2004年  
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 11-74222 A (ソニー株式会社), 1999.03.16, 全文及び図1-7 (ファミリーなし)	1-2, 5-9, 11, 13-16, 20-26, 31-36, 38-41, 43, 46-47, 50, 52-53, 56, 58-62
Y		3-4, 10, 12, 17-19, 27-30, 37, 42, 44, 48-49, 51, 54-55,
A		57 45, 63-65

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

23.04.2004

国際調査報告の発送日

18.5.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

安田 雅彦

4 L

9447

電話番号 03-3581-1101 内線 3498



## C (続き) 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 62-101049 A (インターナショナル・ビジネス・マシーンス・コーポレーション), 1987. 05. 11, 全文及び第1A-3図 & US 4663191 A & EP 219827 A2	1-44, 46-62 45, 63-65
Y A	JP 61-212017 A (工業技術院長), 1986. 09. 20, 全文及び第1-3図 (ファミリーなし)	1-44, 46-62 45, 63-65
Y A	JP 62-111420 A (工業技術院長), 1987. 05. 22, 全文及び第1-3図 & US 5047111 A	1-44, 46-62 45, 63-65
Y A	JP 11-209872 A (日本電気株式会社), 1999. 08. 03, 全文及び図1-5 (ファミリーなし)	1-44, 46-62 45, 63-65
Y A	JP 2000-299473 A (シャープ株式会社), 2000. 10. 24, 全文及び図1-16 (ファミリーなし)	1-44, 46-62 45, 63-65